

November 1992

# LABORATION **ET25**

C M O S

KOMPLEMENTÄR M O S

## INNEHÅLL:

1. Fälteffekttransistorer.
2. Komplementär MOS.
3. Uppgifter.
4. Appendix.

---

Handledare: .....

Namn: .....

Laborationen utförd den .....

Laborationen inlämnad den .....

Godkänd den .....

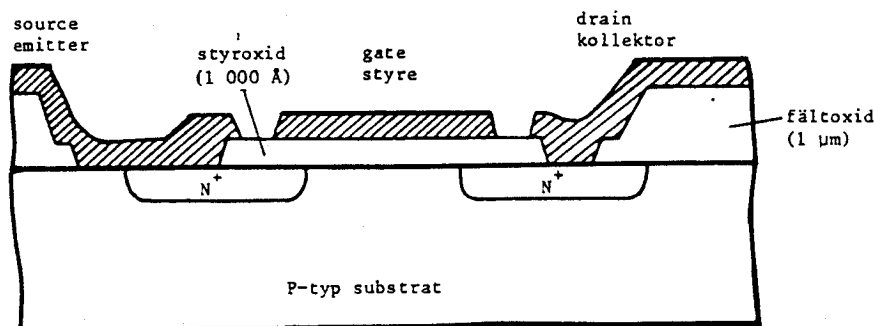
av .....



### 1. Fälteffekttransistor.

MOS-transistor är en fälteffekttransistor (FET) med isolerat styre (IGFET = Insulated Gate FET). Den drar därigenom ingen läckström på ingången. Från styret (Gate) kan strömmen, i en resistiv kanal mellan emitter (source) och kollektor (drain), styras av det elektriska fältet vinkelrätt mot kanalen. Fälteffekttransistorerna är unipolära i motsats till de bipolära transistorerna och utnyttjar endast laddningstransport av majoritetsbärare. Det finns två typer av MOS-transistorer, N-kanal och P-kanal, där antingen elektroner eller hål svarar för transistorströmmen.

En MOS-struktur av anrikningstyp består av en metallelektrod och ett tunt (200 - 1000 Å) isolerande oxidskikt på ytan av ett kiselsubstrat (figur 1).



MOS-transistor med styre i metall (metal-gate).

Figur 1.

Kiselsubstratet är i detta fall av P-typ vilket motsvarar N-kanal MOS-transistorer. Oxiden är en mycket bra isolator så alla läckströmmar genom strukturen kan försummas. Vid ytan av P-typ kiselsubstratet finns två N-dopade områden (emitter och kollektor). Mellan dessa ligger MOS-strukturen med en styrelektrod som är isolerad från kiselytan genom det tunna oxidskiktet. Kollektorn är backspänd medan emittern och substratet är jordade. Kollektorn är då isolerad från substratet genom spärrskiktet och någon kollektorström kan inte flyta genom transistoren.

Genom att lägga på en positiv styrsänning  $V_{GS}$ , som är större än den sk tröskelsänning  $V_T$ , (typiskt värde + 1,5 V) mellan styre och emitter, kan vi emellertid invertera kiselytan så att en ledande N-kanal bildas mellan emitter och kollektor. Transistorn leder ström (Figur 2).

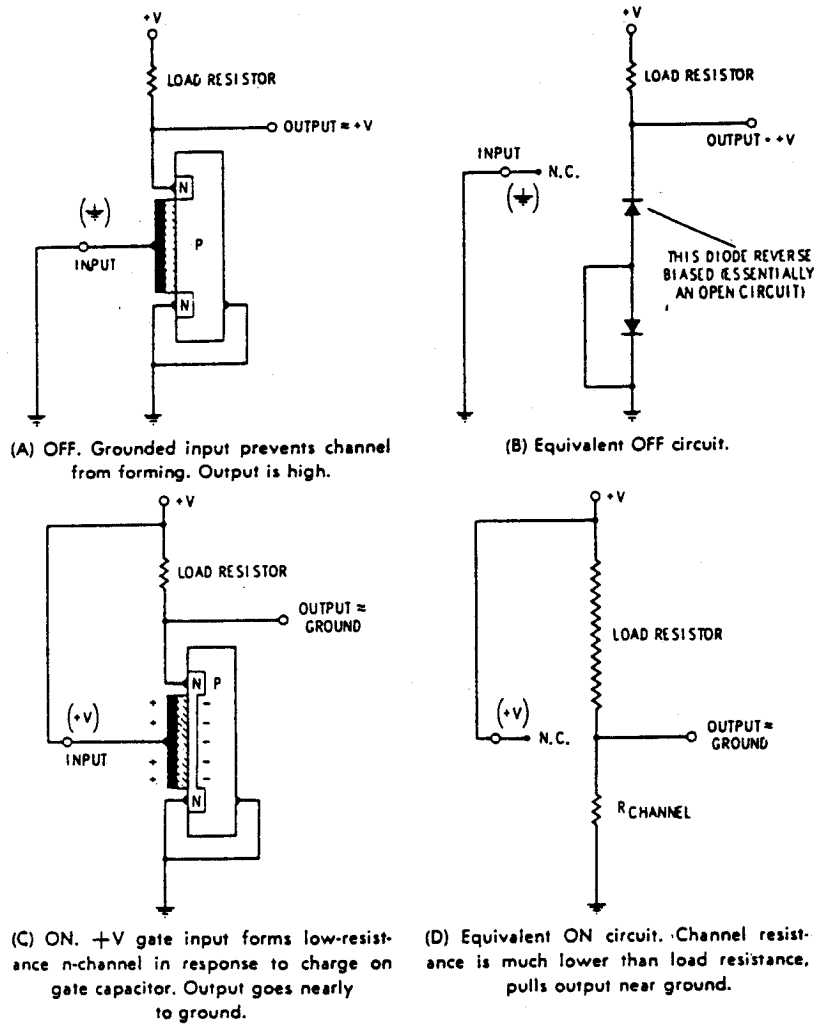
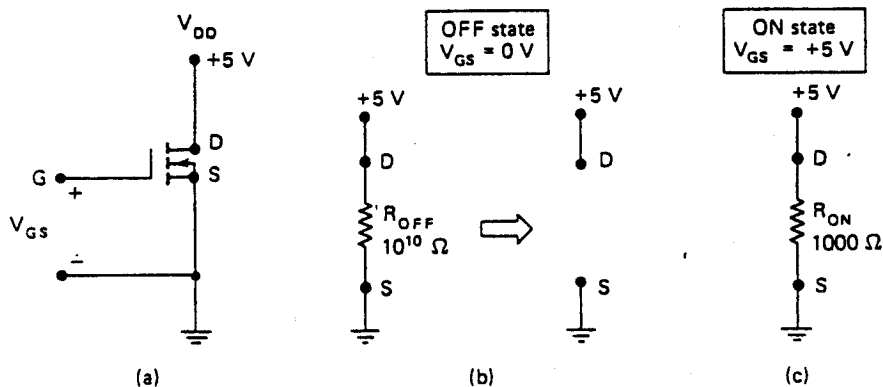


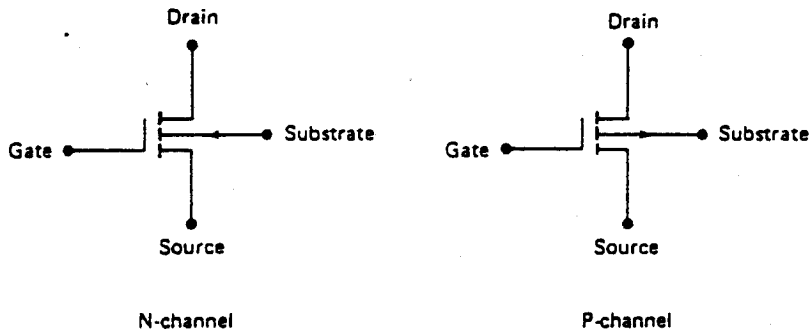
Fig. 2. Biasing an N-Channel MOS transistor.

Elektronerna i kanalen rör sig i ett mycket tunt ytskikt. Om kanalresistansen i spärrat läge ( $V_{GS} = 0$  eller negativ) var av storleksordningen  $10^{10}$  ohm (öppen krets), motsvarar positiv spänning på styret ( $> V_T$ ) att en ledande kanal utbildas med ett resistansvärde på ca  $1 \text{ k}\Omega$  för  $V_{GS} = +5 \text{ V}$  (Se figur 3).



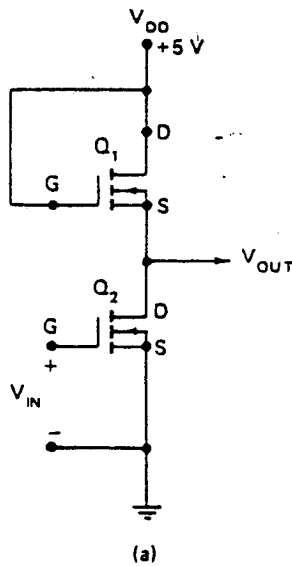
Figur 3.

Symbolerna för N-kanal och P-kanal MOSFET visas i figur 4. P-kanal MOS fungerar på analogt sätt, dvs kanalströmmen utgöres av hål och erhålles för negativ styrspänning.



Figur 4.

Figur 5 a visar en inverterare av N-MOS-typ. Studera tabellen i figur 5 b och tänk igenom funktionen.



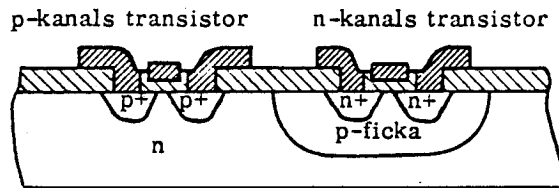
$V_{IN}$	$Q_1$	$Q_2$	$V_{OUT} = V_{IN}$
0 V (logic 0)	$R_{ON} = 100 \text{ k}\Omega$	$R_{OFF} = 10^{10} \Omega$	+5 V (logic 1)
+5 V (logic 1)	$R_{ON} = 100 \text{ k}\Omega$	$R_{ON} = 1 \text{ k}\Omega$	+0.05 V (logic 0)

(b)

Figur 5.

## 2. Komplementär MOS (= CMOS).

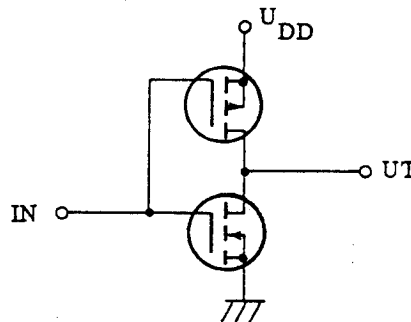
Komplementär MOS kombinerar P-kanal och N-kanal i samma substrat.



Tvårsnitt genom en CMOS-krets.

Figur 6. Tvårsnitt genom en CMOS-krets.

Ett förenklat tvårsnitt genom strukturen visas i figur 6. Transistorerna är som i övrig MOS-logik av anrikningstyp. Den enkla CMOS-inverterarens kretsschema visas i figur 7.



Inverterare i CMOS-teknik.

Figur 7. Inverterare i CMOS-teknik.

Observera att bara en spänningsmatning behövs. Om insignalen är en etta (positiv spänning) leder den undre (N-kanals) transistoren och förbinder utgången med jord medan den övre (P-kanals) transistoren är spärrad. Vid en nolla in är förhållandet det omvända: N-kanals transistoren är spärrad och P-kanals transistoren leder och förbinder utgången med  $V_{DD}$ . Kretsen förbrukar någon nämnvärd effekt bara när den ändrar tillstånd, eftersom den i viloläge enbart drar läckström via de backspända pn-övergångarna. CMOS-kretsen karakteriseras av hyfsat korta omslagstider (10-tals ns) och mycket låg effektförbrukning i viloläge (storleksordningen nW). Dess snabbhet är jämförbar med många bipolära kretsars

snabbhet (10 till 20 MHz) och den har den lägsta produkten mellan omslagstid och effektförbrukning (eng. speed power product) bland alla MOS-kretsar.

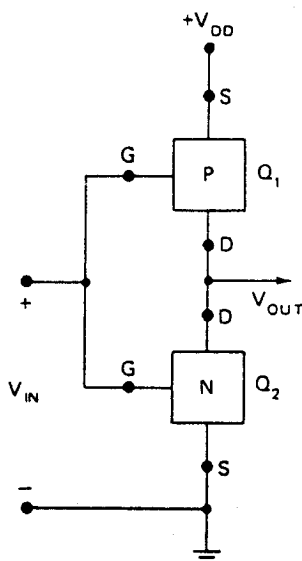
CMOS-tillverkningen är något mer komplicerad än tillverkningen av vanliga MOS-kretsar, eftersom N-kanaltransistorerna måste isoleras.

CMOS har flera fördelar:

- Lägsta produkten mellan fördröjningstid och effektförbrukning bland alla MOS-kretsar.
- Mycket låg statisk effektförbrukning, typiskt några  $\mu\text{W}$  för 100 grindar.
- Full kompatibilitet med TTL.
- Ett enda spänningsaggregat behövs (med  $V_{DD}$  större än den högsta tröskelspänningen hos de ingående transistorerna).
- Hög statisk störmarginal (typiskt 40 % av matningsspänningen).

Nackdelarna är:

- Besvärligare tillverkning (två extra steg och svårighet att få noggranna tröskelspänningar).
- Packningstätheten är mindre än hos vanlig MOS, eftersom n-kanals transistoren behöver extra isolering.



Jämför tabellen i figur 8 med motsvarande tabell i figur 5 med avseende på  $R_{ON}$ ,  $R_{OFF}$ .

$V_{IN}$	$Q_1$	$Q_2$	$V_{OUT}$
$+V_{DD}$ (logic 1)	OFF $R_{OFF} = 10^{10} \Omega$	ON $R_{ON} = 1 \text{ k}\Omega$	$\approx 0 \text{ V}$
0 V (logic 0)	ON $R_{ON} = 1 \text{ k}\Omega$	OFF $R_{OFF} = 10^{10} \Omega$	$\approx +V_{DD}$

$$V_{OUT} = \overline{V_{IN}}$$

CMOS inverterare.

Figur 8.

De första CMOS-logikkretsarna producerades av RCA och kallades 4000 serien ( $V_{DD} = 3 - 15 \text{ V}$ ). IC-kretsar i denna serie är numrerade 4000, 4001 etc. Vissa andra tillverkare använder samma beteckningssystem medan exempelvis Motorolas kallas MC14000 och MC14500 -serien. National Semiconducters har utvecklat 74C00-serien som är ben för ben ekvivalent med 7400 TTL-serien. Så är exempelvis 74C04 en hexinverter chip med samma benkonfiguration som 7404 och logiskt ekvivalent med 7404. Nyligen har en förbättrad version av 4000 serien utvecklats. Denna kallas 4000B serien och är snabbare än 4000 serien som nu ofta kallas 4000A.

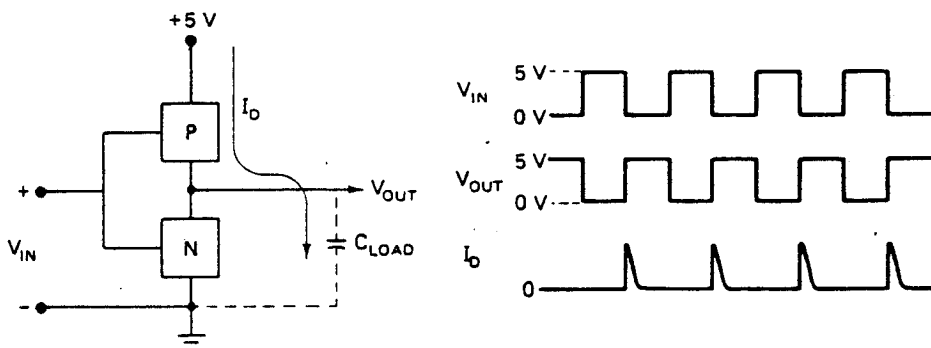
Karakteristiska data för CMOS.

Spänningsförsörjning: För typ 4000 A,  $V_{DD} = 3 - 15 \text{ V}$   
4000 B,  $V_{DD} = 3 - 18 \text{ V}$ .

Arbetar CMOS och TTL tillsammans används oftast 5 V.

Oanvända ingångar: CMOS ingångar får aldrig lämnas oanslutna. De måste anslutas till en fix spänningsnivå ( $V_{SS}$  eller  $V_{DD}$ ) eller till en annan ingång. En oanvänd CMOS-ingång kan plocka upp störningar och statiska laddningar som kan föra MOSFET-transistorn i ett ledande tillstånd. Detta resulterar i ökad effektförbrukning och möjligen överhettning.

Effektförbrukning: Extremt låg i statiskt tillstånd; 2,5 nW per grind vid  $V_{DD} = 5 \text{ V}$ , 10 nW vid 10 V. Vid switchning från låg till hög skall laddningsströmmen till den egna utgångskapacitansen och den kombinerade ingångskapacitansen från de drivna kretsarna erhållas. Detta ger strömspikar med en amplitud på ca 5 mA och en varaktighet av 20 - 30 ns i strömmen från  $V_{DD}$  (se figur 9).

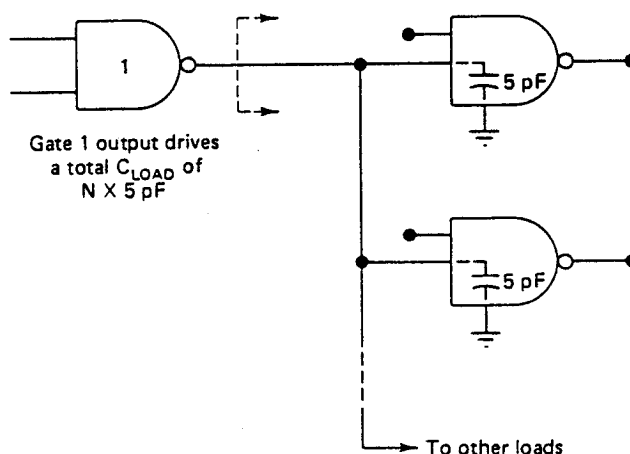


Figur 9.



### FAN-Out:

CMOS har extremt högt ingångsmotstånd ( $10^{12} \Omega$ ) och drar praktiskt taget ej någon ström från signalkällan. Varje CMOS-ingång representerar emellertid ca 5 pF belastning till jord. Denna kapacitiva last benämnt  $C_L$  begränsar antalet CMOS ingångar som en CMOS utgång kan driva (Figur 10).



Figur 10.

CMOS utgången skall ladda och urladda parallellkombinationen av dessa kapacitanser och omslagstiderna ökar med antalet anslutna ingångar (ca 3 ns/ingång).

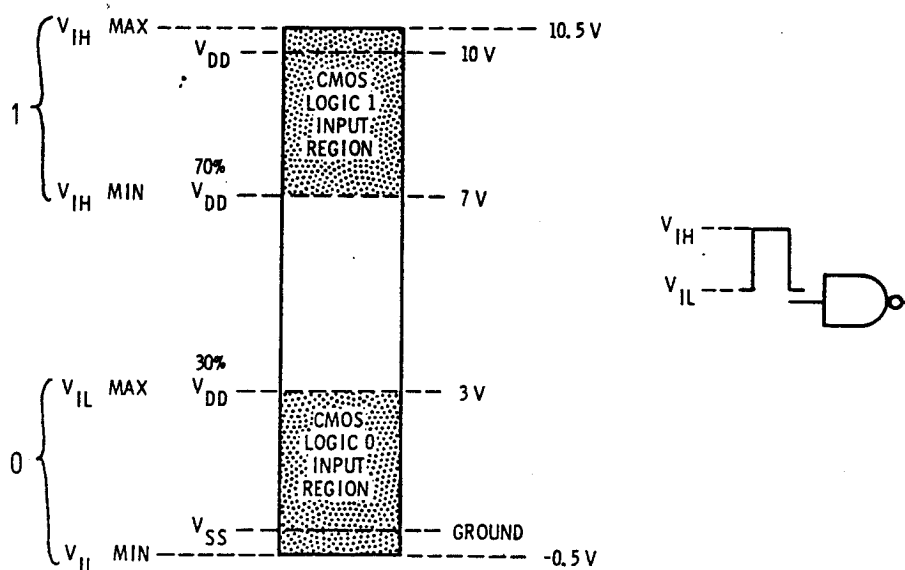
### Logiska nivåer på ingångar.

Definition av CMOS-kretsens ingångsnivåer (se figur 11).

$V_{IL \text{ max}}$  = Voltage Input Low max.  $V_{IL}$  är den högsta spänning som CMOS ingången kan tåla utan att utgången växlar från ett tillstånd till ett annat. Denna nivå ligger på 30 % av  $V_{DD}$  för de flesta CMOS-kretsar ( $V_{DD}$  = Drivspänning). Ex.  $V_{DD} = 10 \text{ V}$ ,  $V_{IL \text{ max}}$  får då vara högst 3 volt.

$V_{IL \text{ min}}$  = Voltage Input Low min. Den lägsta spänning man kan lägga på en CMOS-ingång är 0,5 V under 0 nivån, dvs ( $V_{SS} - 0,5$ )V. Går man under denna nivå så kommer CMOS-kretsens skyddsdioder att leda. Stor risk finns då att dessa förstörs.

Den logiska 0-nivån kan således variera mellan -0,5 V till 30 % av  $V_{DD}$ .



Figur 11.

$V_{IH(min)}$  Voltage Input High min. Detta är den ingångsspänning som CMOS-kretsen behöver för att inte skifta nivå på utgången, t ex från Hög nivå till Låg nivå. Detta värde är vanligtvis 70 % av  $V_{DD}$  eller + 7 Volt vid 10 Volts drivspänning.

$V_{IH(max)}$  Voltage Input High är den maximala spänning man med säkerhet kan mata in på CMOS-kretsen. Spänningen definieras som ( $V_{DD} + 0,5$ ) Volt. Skulle ingången matas med högre spänning än denna så träder överspänningsskyddet på ingången i funktion. Uppenbar risk finnes att ingångsskyddet skadas.

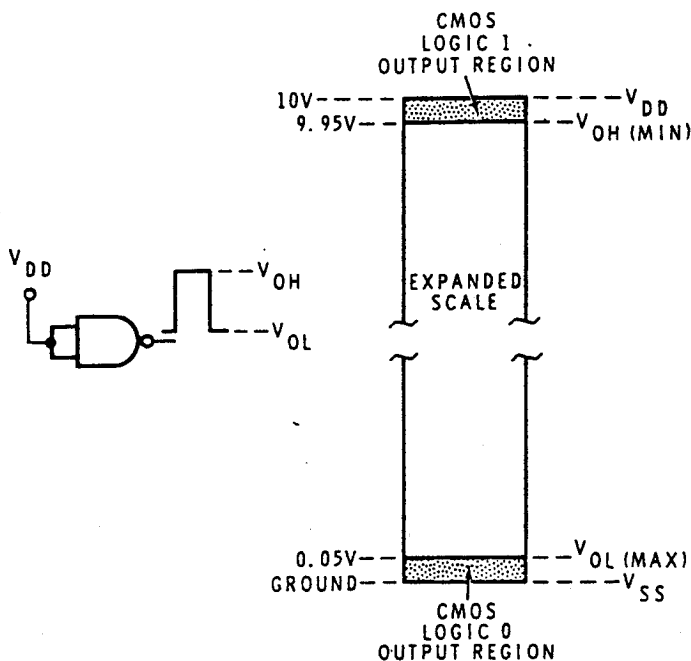
Den logiska "1"-nivån kan alltså variera mellan 70 % av  $U_{DD}$  till 0,5 volt +  $V_{DD}$ . Ex  $V_{DD} = 10$  Volt (7 volt - 10,5 volt = "1")

CMOS-kretsen känner således alla spänningar som är lägre än 30 % av  $V_{DD}$  som "0" och spänningar som är över 70 % av  $V_{DD}$  som "1". Detta visar att kretsarna har en mycket hög störningsimmunitet. Störningar på ingången som ligger under 30 %-nivån kommer ej att förorsaka något omslag på utgången. Ej heller kan störningar som rippel från spänningsförsörjningen påverka en logisk "1" om den inte pressas under 70 % av  $V_{DD}$ .

Logiska nivåer på utgångar.

Definition av CMOS-kretsens utgångsnivåer (se figur 12).

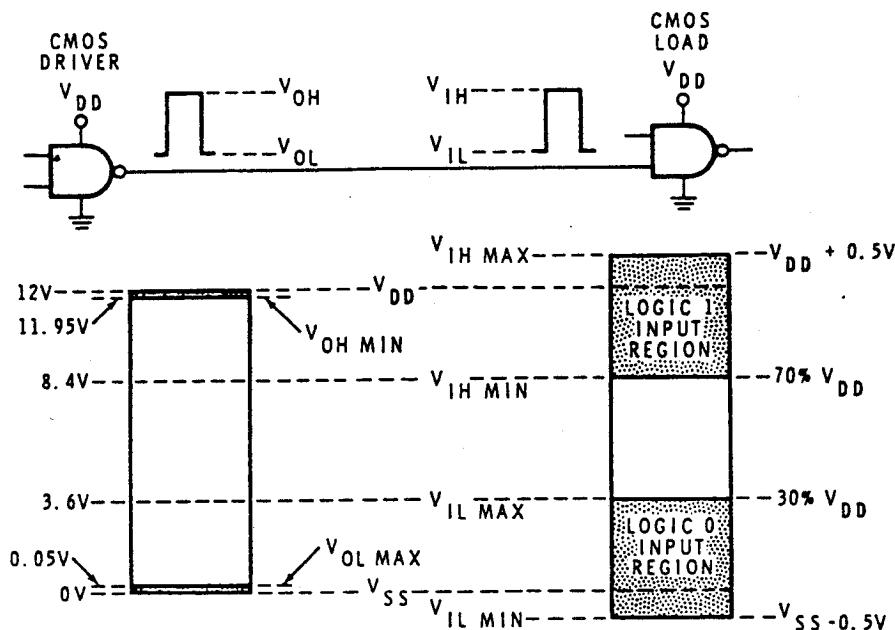
CMOS-kretsens logiska utgångsnivåer  $V_{OL} = \text{Low State Output Voltage}$  är den spänningsnivå utgången har i förhållande till  $V_{SS}$  vid en logisk "0":a.  $V_{OL \max}$  är det högsta värde utgången kan anta för en logisk "0":a  $V_{OL \max} = (V_{SS} + 0,05)V$ . Dessa spänningsnivåer gäller under förutsättning att utgången belastas rent kapacitivt exempelvis av ingången på en annan CMOS.



Figur 12.

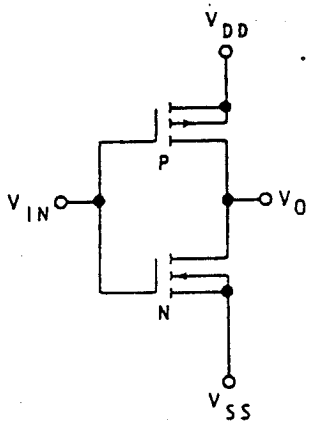
$V_{OH}$  "High State Output Voltage" är den spänningsnivå utgången har i förhållande till  $V_{SS}$  vid en logisk "1":a.  $V_{OH \min}$  är det lägsta värde utgången får anta och definieras  $V_{OH \min} = (V_{DD} - 0,05)V$ . Här gäller samma förutsättningar vad beträffar belastningen som vid  $V_{OL \max}$ .

Figur 13 visar en sammanställning av ingångs- och utgångsnivåerna för en CMOS.



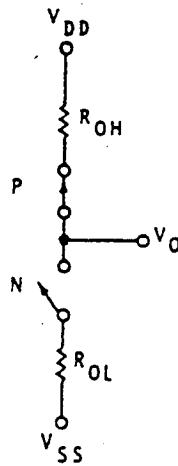
Figur 13.

CMOS-inverterarens utgång (se figur 14).



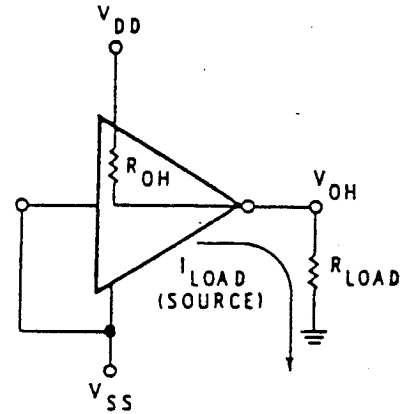
CMOS-inverterare

Figur 14.



Equivalent circuit ( $V_{IN\ low}$ ).

Figur 15.

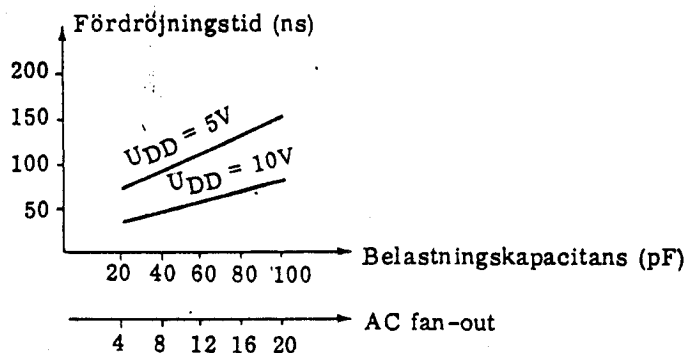


Figur 16.

När ingången  $V_{in}$  är ansluten till  $V_{SS}$  så leder P-kanalen. Härigenom kommer utgången  $V_o$  att via den låga resistansen  $R_{OH}$  att kopplas samman med  $V_{DD}$  (se figur 15 och 16). En last som anslutes mellan utgången och  $V_{SS}$  kommer här att bilda en spänningsdelare mellan  $V_{DD}$  och  $V_o$ .  $V_o$  blir således ej lika hög som  $V_{DD}$  beroende på spänningsfallet över  $R_{OH}$ . Typiskt värde för detta motstånd är 200-800  $\Omega$ .

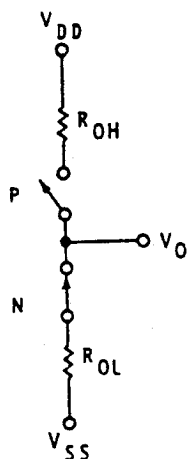
Likströmsmässigt finns det ej någon begränsning på antalet CMOS-ingångar som kan anslutas till en CMOS-utgång. Den enda begränsningen är ingångskapacitansen som ger upphov till en fördröjning av utsignalen. Här uppstår en fan-out begränsning vid AC som ej finns vid DC.

Figur 17 visar fördröjningstider för olika antal ingångar anslutna. (4 ingångar = 20 pf.)



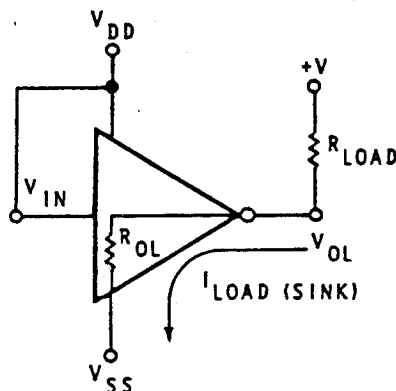
Figur 17.

När CMOS-ingången  $V_{in}$  får samma potential som  $V_{DD}$  så kommer P-kanalen att blockeras samtidigt som N-kanalen öppnas.  $R_{OH}$  kopplas bort som figur 18 visar. Utgången kopplas nu till jord via N kanalens resistans  $R_{OL}$ . Motståndsvärdet för denna är detsamma som för  $R_{OH}$ : 200-800  $\Omega$ . Figur 19 visar det ekvivalenta schemat för kretsen i denna mod.



Equivalent circuit ( $V_{IN} \text{ HIGH}$ ).

Figur 18.



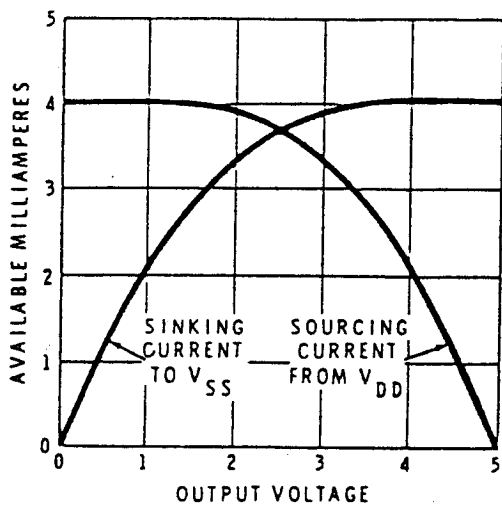
CMOS current sink equivalent circuit.

Figur 19.

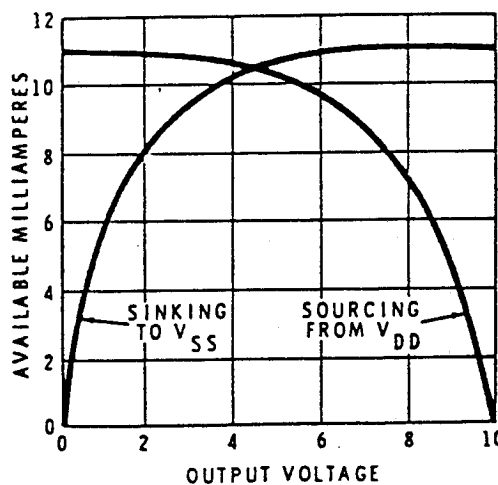
Sammanfattning:

CMOS-kretsen utgång kan bara avge en begränsad ström samtidigt som den går mot  $V_{DD}$ .

Omvänt kan den inte mer än högst begränsat belasta en ingång "current-sink" samtidigt som utgången skall gå mot  $V_{SS}$ , se figur 20.



5 VOLT SUPPLY



10 VOLT SUPPLY

Figur 20.

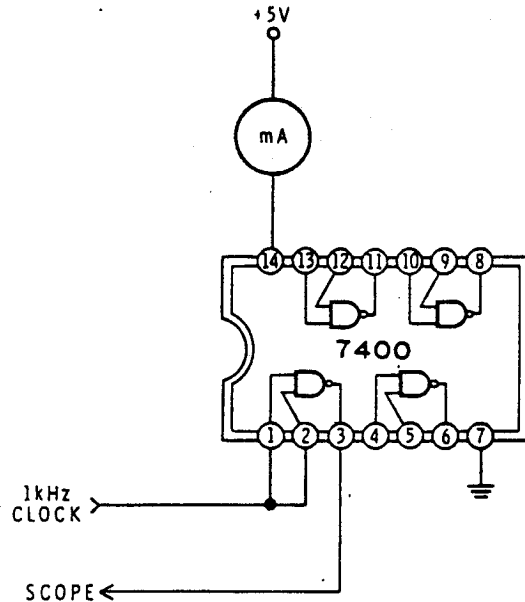
Uppgifterna behandlar anpassningsteknik mellan CMOS-TTL.

Först behandlas anpassning av en TTL-utgång till en CMOS-ingång.

Uppgift 1.

A. Gör en uppkoppling enligt figur 21 av TTL kretsen 7400.

Figur 21.



Instrument

Funktionsgenerator: 1 kHz 4 V.

Multimeter: 100 mA

Oscilloskop: Vert.in. 1V/div, DC koppl., tidbas 0,5 ms/div.

Avläs  $I_{CC}$  ..... mA

$V_{OL}$  ..... volt

$V_{OH}$  ..... volt

B. Förbind alla de oanvända ingångarna med varandra enligt figur 22.

Anslut punkten X till +5V =  $V_{CC}$

Avläs  $I_{CC}$  ..... mA

$V_{OL}$  ..... volt

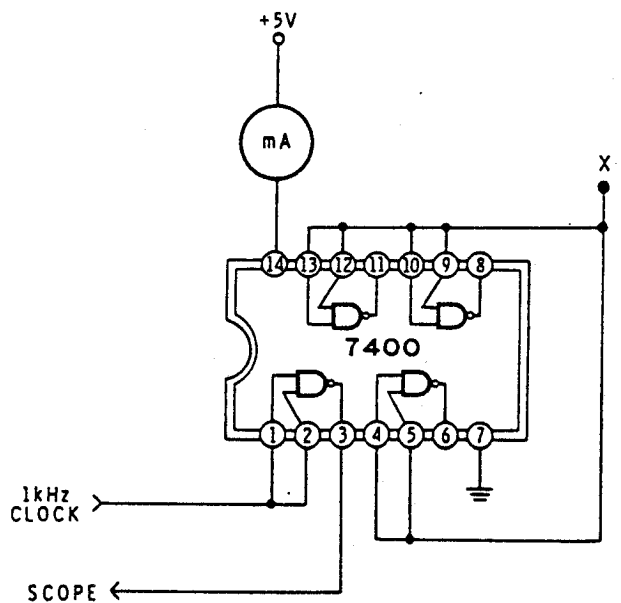
$V_{OH}$  ..... volt

C. Flytta punkten x från  $V_{CC}$  till jord (GND)

Avläs  $I_{CC}$  ..... mA

$V_{OL}$  ..... volt

$V_{OH}$  ..... volt



Figur 22.

### Sammanfattning.

I uppgift 1 a uppmättes strömförbrukningen  $I_{CC}$  samt spänningsnivåerna  $V_{OL}$  samt  $V_{OH}$  vid en klockfrekvens av 1 kHz för en TTL-krets. Värdena kan variera något från krets till krets, men ungefär 12 mA  $I_{CC}$  är normalt,  $V_{OL}$  0,5 Volt och  $V_{OH}$  3,6 Volt. Detta gällde en grind av 4 st som fanns i kapseln.

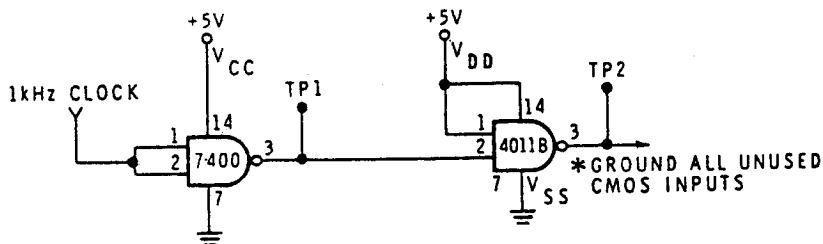
I uppgift 1 b förbands alla oanvända ingångar. Dessa kopplades sedan samman med  $V_{CC}$ . Någon förändring från tidigare värden bör ej ha skett. Flytande ingångar lägger sig på hög nivå precis som om de var anslutna till  $V_{CC}$ .

I uppgift 1c förbands de fria ingångarna med jord(GND)istället. Strömförbrukningen borde nu minska med c:a 50 %.  $V_{OH}$  ökar något. Således skall oanvända ingångar förbindas med GND för att dra ned effektförbrukningen och därmed hålla temperaturen nere i kretsen.

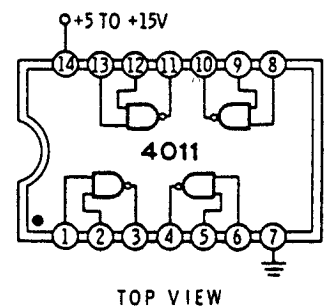
Kretsen i uppgift 1 b skall nu kopplas samman med en CMOS-krets.

### Uppgift 2.

Komplettera din uppkoppling från uppgift 1 b så du får en koppling enligt figur 23. Kretsens benanslutning syns på figur 23 b. En NAND-grind typ 4011 används här. Enligt figur 23 b innehåller den 4 st grindar. Innan du börjar handskas med CMOS-kretsen bör du hålla ett ögonblick i jordplanet för att avleda eventuell statisk elektricitet. Kretsen kan annars ta skada.



a)



b)

Figur 23 a och b.

Anslut de oanvända ingångarna 5, 6, 8, 9, 12, 13 till jord. Detta är viktigt.

Anslut oscilloskopet till TP2.

Detta är CMOS-grindens utgång. Koppla på spänningen. Driver TTL- utgången CMOS-kretsen korrekt? ..... Om TTL-utgången är 3,5 V vid TPI (70 % av 5 v) är det möjligt att den fungerar. Hur är det med störningskänsligheten? Mät  $V_{OH}$  vid TPI och subtrahera denna nivå med 3,5 volt. Hur stor får störningen maximalt vara? .....

Uppgift 2 b.

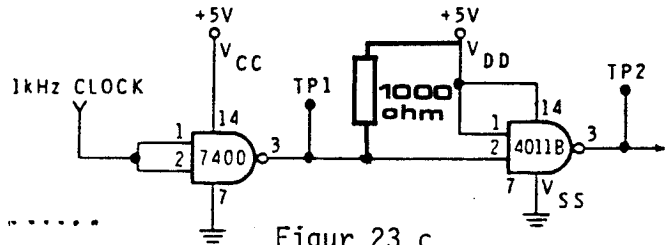
Koppla bort spänningen från kretsen. Lägg nu ett 1000  $\Omega$  motstånd enligt figur 23 c mellan TTL-utgången TP1 och  $V_{CC}$  (+ 5 Volt). Koppla på spänningen.

Avläs spänningsnivåerna  $V_{OL}$  och  $V_{OH}$  vid TP1. Kopplingen du gjort benämns TTL output With Pull Up resistor.

TTL  $V_{OL}$  ..... volt

TTL  $V_{OH}$  ..... volt

Har störningsokänsligheten ökat? .....



Figur 23 c.

Du bör nu ha fått c:a 1,5 V mot tidigare 0,5, dvs 5 - 3,5 volt.

Flytta oscilloskopets prob till TP2 och studera CMOS-kretsens utgång. Syns det någon skillnad? ..... Om TTL-kretsen kunde driva CMOS-kretsen innan motståndet skall det ej synas någon skillnad. Det du har åstadkommit är att CMOS-kretsen har fått ett förstärkt störningsimmunitet från 0,5 - 1,5 volt.

Om det var problem tidigare med drivningen så bör detta ha helt eliminerats med detta motstånd.

Uppgift 2 c.

Bryt strömmen till kopplingen i uppgift 2 b. Koppla upp kretsen i figur 24. Lägga märke till att 7400-kretsen är uppkopplad som förut frånsett att Pull Up motståndet är borttaget. CMOS-kretsen däremot har nu drivspänningen + 12 V i stället för + 5 volt. Slut strömmen till kopplingen.

Kontrollera nivåerna vid TP1.  $V_{OH}$  skall ha värdet c:a 3,8 volt dvs samma som fanns innan "Pull Up" motståndet blev inkopplat.

Kontrollera nu TP2. Nivåerna här bör växla mellan nära 0 volt och + 12 volt.



Flytta proben till TP 3. Du skall här finna samma spänningsskillnad mellan  $V_{OL}$  och  $V_{OH}$  dvs  $\approx 12$  volt.

Studera figur 24.

Varför använder

man sig här av

en "Pull Up" transistor?

Skulle det inte gå

lika bra med Pull Up

motstånd som tidigare?

Förklara: .....

.....

.....

Uppgift 3.

Koppla upp kretsen enligt Figur 25. Förbind de oanvända ingångarna på 7416 till +5, dvs 3, 5, 9, 11 och 13. Slut strömmen till kretsen.

Kontrollera nivåerna vid TP2. Dessa skall vara desamma som för CMOS-kretsen 0 - 12 V. Avlägsna  $10\text{ k}\Omega$  resistansen under det att du ser vad som sker på utgången av 7416 TP2.

Utgången borde

gå låg när

motståndet är

avlägsnat. Ut-

gången blir

även kvar i detta

läge så länge

$10\text{ k}\Omega$  är av-

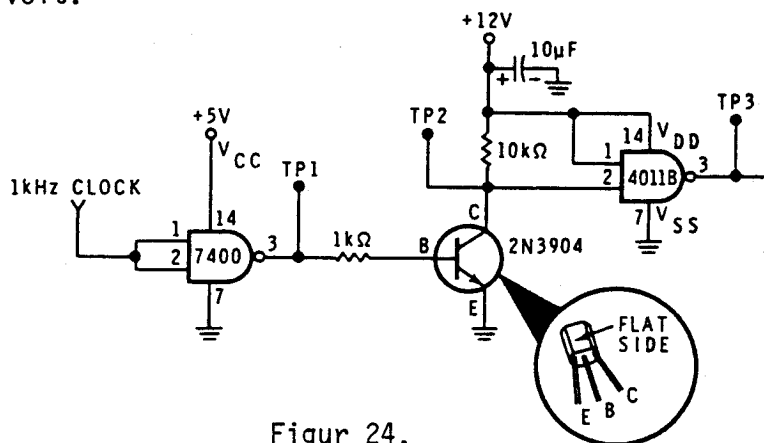
lägsnat.

Varför: .....

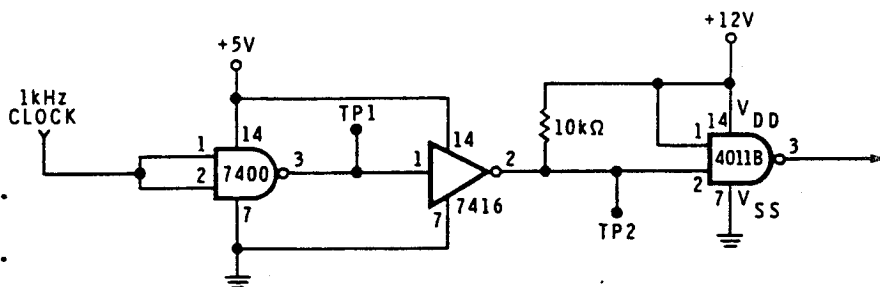
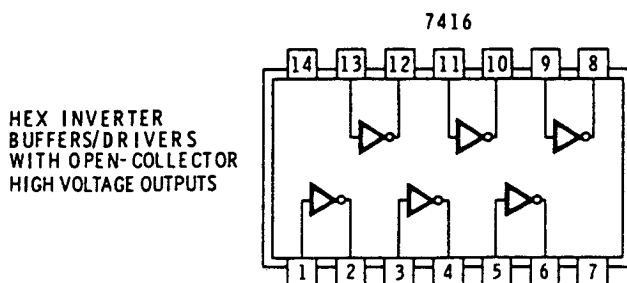
.....

.....

.....



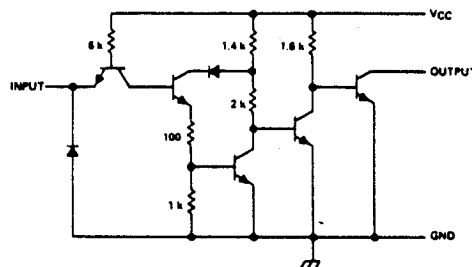
Figur 24.



Figur 25.

Studera 7416 i figur 26 . Denna krets har en "open collector" utgång. Vilken inte har någon förbindelse med den positiva sp. 12 volt . Transistorns collector är nu fri. Kretsen är öppen och avger därmed ej någon signal till CMOS-ingången. 10 kΩ från + 12 till 7416 ben 2 är därför nödvändigt men giv akt på att detta gäller ej för alla TTL-kretsar. Utdrag ur datablad. Figur 27 visar spänningsnivåerna för 7416.

schematics (each gate)



'06, '16 CIRCUITS

Figur 26.

recommended operating conditions

7416

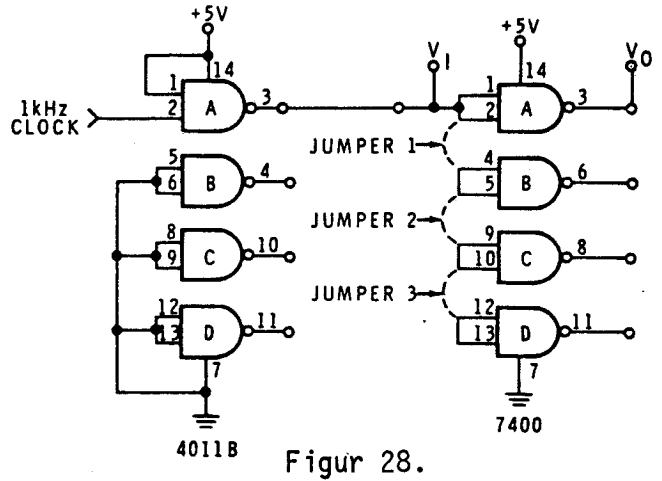
	54 FAMILY 74 FAMILY	SERIES 54 SERIES 74								
		'06, '07			'16, '17			'26		
		MIN	NOM	MAX	MIN	NOM	MAX	MIN	NOM	MAX
Supply voltage, V <sub>CC</sub>	54 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5
	74 Family	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25
High-level output voltage, V <sub>OH</sub>				30			15			15
Low-level output current, I <sub>OL</sub>	54 Family			30			30			16
	74 Family			40			40			16
Operating free-air temperature, T <sub>A</sub>	54 Family	-55		125	-55		125	-55		125
	74 Family	0		70	0		70	0		70

Figur 27.

Att anpassa CMOS till TTL när båda kretsarna har samma spänningskälla.

Uppgift 4 a.

Koppla upp kretsen i figur 28.  
 Anslut CMOS-grind A(3) till TTL-grind A(1,2). De oanvända TTL-ingångarna kan vi tillåta vara fria i detta försök.  
 Koppla på spänningen, mata in en fyrkantsignal från funktionsgenerator 4 V 1 kHz till ingång 2. CMOS grind A.



Figur 28.

Avläs utgångsnivåerna för CMOS  $V_{IH}$  ..... Volt

$V_{IL}$  ..... Volt

Om nivåerna ligger inom områdena bör du ha signalen på TTL utgång 3  
 TTL utgång 3 .....

Ligger de inom TTL datans område? .....

Jämför med tabellen figur 29.

TTL		DTL					LSL	HINIL	
74	74S	74H	74LS	74L	930				
0,2	0,5	0,2	0,4	0,2	0,4	0,9	1,5	Utspänning, låg (typiskt, V)	
3,4	3,4	3,5	3,4	3,2	2,4	14,2	10	Utspänning, hög (typiskt, V)	
5,0	5,0	5,0	5,0	5,0	5,0	15	15	Matningsspänning (typisk, V)	
0,4	0,3	0,4	0,3	0,4	0,7	2,8	>3,5	Störmargin, låg (garanterad, V)	
0,4	0,7	0,4	0,7	0,4	0,7	4,5	>3,5	Störmargin, hög (garanterad, V)	
1,6	2,0	2,0	0,36	0,2	1,4	1,8	2,6	Ingångsström, låg (maximalt, mA)	
40	50	50	20	10	5	1	10	Ingångsström, hög (maximalt, $\mu$ A)	
16	20	20	8	3,6	12*	15	65	Utgångsström, låg (garanterad, mA)	
400	1 000	500	400	200	120*	100	15	Utgångsström, hög (garanterad, $\mu$ A)	

Figur 29.

Uppgift 4 b.

Refererar till figur 28 i uppgift 4 a. Anslut oscilloskopproben till utgång 3 på TTL kretsen. Signalen syns som tidigare i uppgift 4 a.

Lägg nu på "jumper" 1 samtidigt som du kontrollerar utgång 3. Om signalen finns kvar, öka belastningen på CMOS-kretsens utgång genom att lägga in ytterligare en jumper, dvs 3.

Nu bör signalen ha försvunnit. CMOS-kretsen orkar ej mata så många TTL-ingångar. När signalen på TTL-utgången är borta, flytta proben till TTL-ingången. Avläs  $V_{IH}$  ..... volt.  $V_{IL}$  ..... volt.

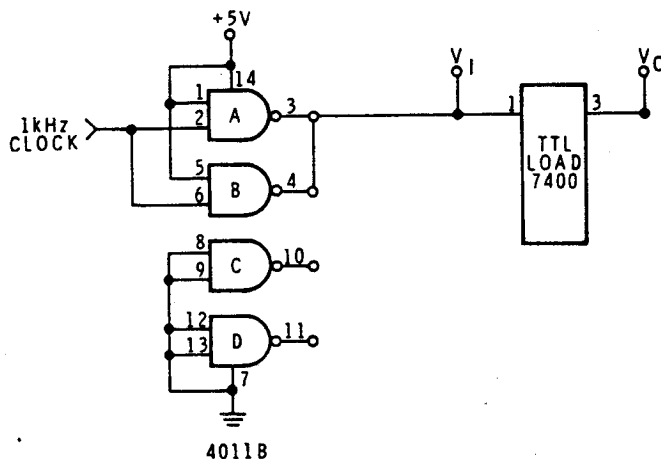
Jämför nivåerna från uppgift 4 a.

$V_{IH}$  bör vara lika, men  $V_{IL}$  går ej längre så lågt att den kan betraktas som en "0", dvs under 0,8 volt.

En möjlighet att öka belastningsförmågan (current sinking capability) är att göra som i figur 30. Du har kvar kopplingen från det sista försöket, lägg nu CMOS-grind B parallellt med A. Syns nu signalen på utgång 3. .... Flytta proben till TTL-ingången. Avläs  $V_{IH}$  .....

$V_{IL}$  bör nu ligga under 0,8 nivån.  $V_{IL}$  .....

En korrekt "0" har nu erhållits.



Figur 30.

OBSERVERA. Du kan endast parallellkoppla CMOS-grindar på detta sätt så länge de är i samma kapsel.

Uppgift 4 c.

Genom att lägga ytterligare en krets i kedjan, en "driver" mellan CMOS och TTL-grindarna kan man öka belastbarheten. Här användes 4049 Hex inverter/driver.

Koppla enligt figur 31 b. Var uppmärksam på anslutning av  $V_{DD}$  för 4049. Se figur 31 a.

$V_{DD}$  är kopplad till ben 1 i stället för den vanliga 14 eller 16. Mata på spänningen + 5 volt, samt signal 1 kHz, som tidigare på ingång 2 CMOS grind A. Signal skall nu finnas på alla utgångarna av TTL-grindarna ABCD. Anslut proben till ben 3 på 4049.

Avläs signalnivåerna:

$V_{IH}$  ..... Volt

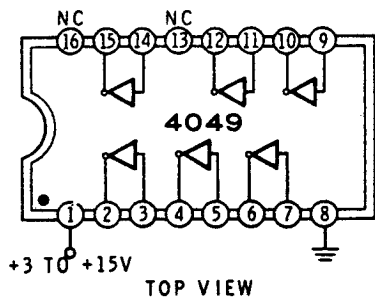
$V_{IO}$  ..... Volt

$V_{OH}$  ..... Volt

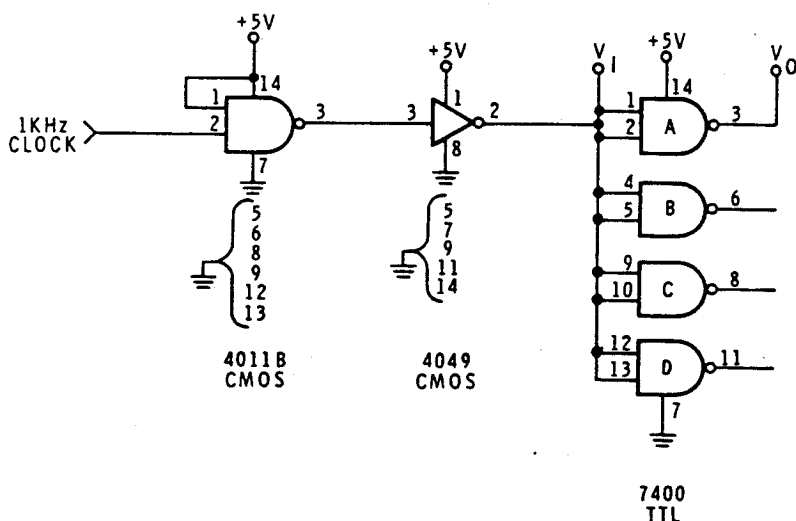
Flytta proben till ben 2 på 4049, avläs.

Är nivåerna acceptabla för att driva TTL-ingångarna? ..... Volt

$V_{OL}$  ..... Volt



Figur 31 a.



Figur 31 b.

Uppgift 5.

Att anpassa CMOS till TTL när kretsarna har olika spänningskällor.

Låt kopplingen från 4 c vara oförändrad så när som på spänningsförsörjningen till 4011. Denna kopplas till 12 volt i stället för 5 volt, se figur 32.

Mata in en fyrkantsignal som har hög nivå till 4011 ingång 2, dvs amplituden högre än 70 % av  $V_{DD}$ .

Anslut oscilloskopets prob till ben 3 på 4049. Koppla på spänningarna + 12 volt och + 5 volt.

Avläs  $V_{IH}$  ..... volt

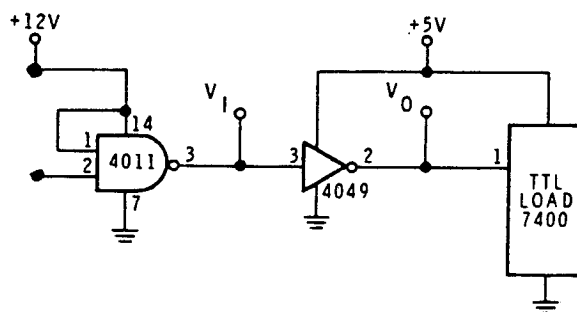
$V_{IL}$  ..... volt

Nivåerna bör ligga nära 12 volt och 0 volt. Flytta skåpets prob till ben 2 på 4049.

Avläs nivåerna  $V_{OH}$  ..... volt

De bör ligga  $V_{OL}$  ..... volt

nära + 5 volt och 0 volt.



Figur 32.

Uppgift 6.

Operationsförstärkare, kopplad till CMOS.

I denna uppgift skall förstärkaren figur 33 b och grinden kopplas till samma enkla spänningskälla. Förstärkarens ben 4 ( $V_{CC}$ -) skall därför gå till jord.

Gör uppkopplingen enligt figur 33 a.

LF 353 förspännes med 2,5 volt genom spänningsdelaren som ligger mellan + 5 och jord.

Alla oanvända ingångar på 4011B skall jordas.

Mata ingången på operationsförstärkaren med 1 kHz 4 volt. Koppla på drivspänningen 12 volt samt + 5 volt till förspänningen.

Anslut proben till operationsförstärkarens utgång, ben 1, dvs Testpunkt 2 enligt figuren.

Avläs utgångsnivåerna

$V_{OH}$  ..... volt

$V_{OL}$  ..... volt

Flytta proben till utgången på CMOS ben 3, Testpunkt 3. Avläs utgångsnivån

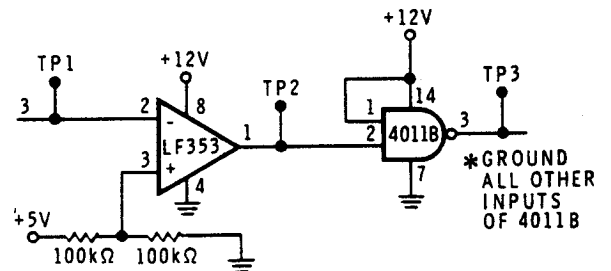
$V_{OH}$  ..... volt

$V_{OL}$  ..... volt

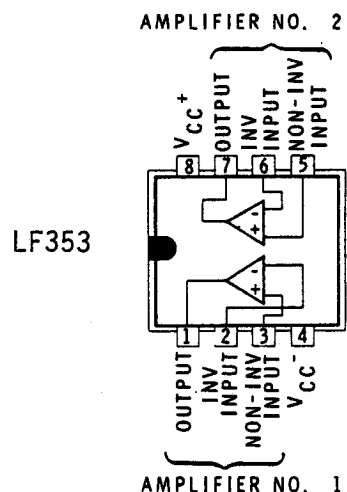
På alla utgångarna skall Du ha samma nivåer, dvs nära 12 v och 0 volt.

Ingen ytterligare logikanpassning är nödvändig. Kopplingen fungerar.

Både operationsförstärkaren och CMOS-kretsen har mycket hög ingångs-impedans.



Figur 33 a.



Figur 33 b.

Operationsförstärkare med dubbla spänningskällor kopplad till CMOS.

Uppgift 7.

En normalt spänningsförsörjd operationsförstärkare skall nu kopplas till CMOS-grinden.

Modifiera kretsen från föregående så den blir enligt figur 34.

Insignalen till förstärkaren skall vara som tidigare.

Spänningsförsörjningen för ben 4, skall nu kopplas till - 15 volt.

Ben 8 skall kopplas till + 15 volt.

Avläs Testpunkt 2.

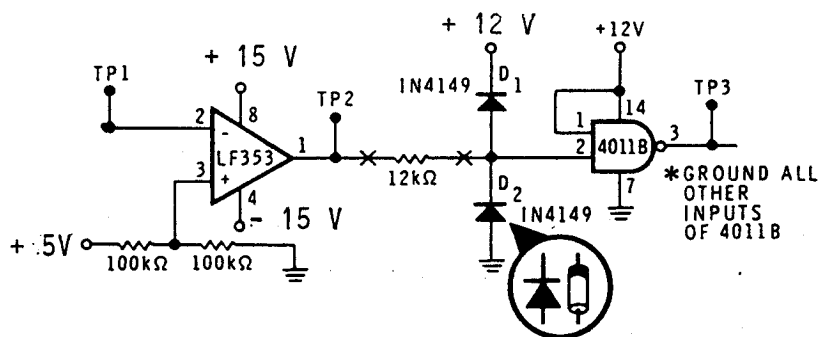
Förklara diodernas inverkan på signalen samt varför vi måste ha kopplingen.

---

Avläs Tpkt 3  $V_{OH}$  ..... volt

$V_{OL}$  ..... volt

Kan man modifiera diod-  
kopplingen så att man får  
samma funktion men utan extra  
spänningskälla? (Zenerdiod.)



Figur 34.



Du har nu gått igenom de grundläggande reglerna för hur CMOS-kretsar skall kopplas samman med kretsar från andra familjer. Som Du sett är det stora skillnader både ur nivå- och belastningssynpunkt. Försök svara på de frågor som finns i appendix så blir det en god repetition.

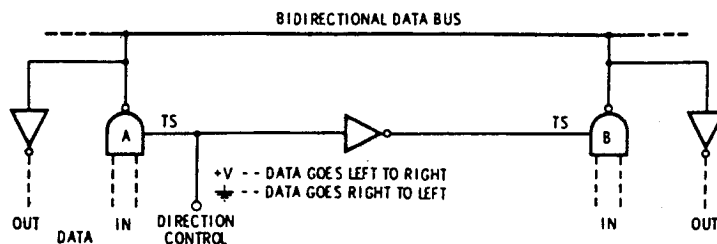
### CMOS i Tri state logik.

Utgången av en CMOS-krets är alltid kopplad antingen till  $V_{DD}$  eller  $V_{SS}$  genom den låga impedansen en MOS-transistor har i sitt onläge. Detta medför att råkar två stycken utgångar som styrs var för sig kopplas samman exempelvis på en bussledning så kan dessa orsaka strömrusningar från  $V_{DD}$  till  $V_{SS}$  genom utgångstransistorerna och därmed förstöras dessa. Man använder sig därför av s k "Tristate Logic". Man inför ett tredje tillstånd (högimpedivt) där tillståndet i kretsen isoleras från dess utgång. Detta skall jämföras med utgångens två andra tillstånd.

- 1) Låg impedans till  $V_{DD}$  + för positiv logik 1.
- 2) Låg "-" "-"  $V_{SS}$  0 "-" "-" "-" 0.

Exempel på sådana kretsar är 4502 hexinvert, 4503 hex buffer.

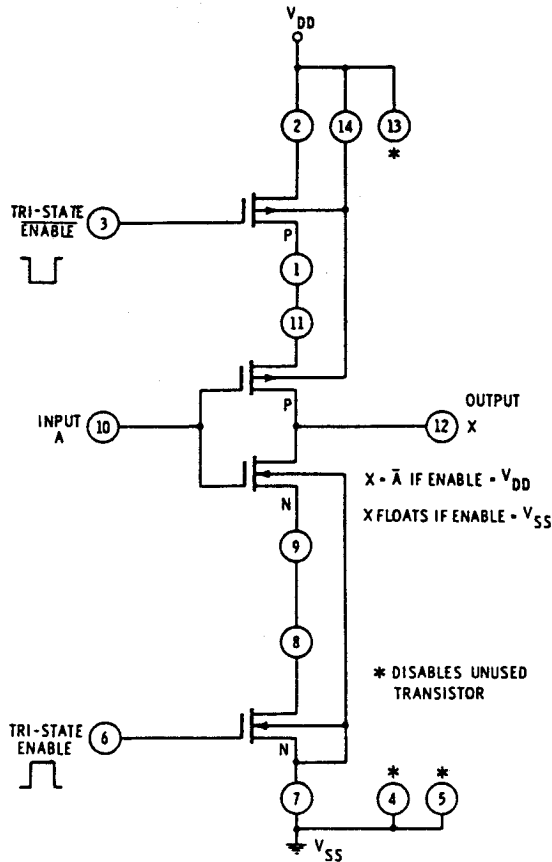
Figur 35 visar hur en sådan logik kan kopplas upp.



Figur 35.

Uppgift 8.

Du skall här bygga upp en tristate logik med en CMOS 4007 enligt figur 36.



4007

Figur 36.

Lägg på sådana spänningar och nivåer Du nu har lärt Dig.

Testa kopplingen, referera till figurerna och förklara hur signalen kan gå fram och åter i ett dubbelriktat data buss system.

.....  
.....  
.....

Ref till figur 36 för 4007.

Om TRI STATE Enable är hög (ben 6) så kommer den nedre N-kanals transistor att leda och gå i ON-läge. Är samtidigt TRI STATE Enable låg (ben 3) kommer den övre P-kanals transistor att gå i ON-läge. Inverteraren i mitten med ingång ben 10 har nu både  $V_{DD}$  och  $V_{SS}$  anslutna över sig via de öppna N och P Kanalerna. Nu är det möjligt att erhålla en logisk 1 på utgången ben 12 när ingången ben 10 går låg och omvänt.

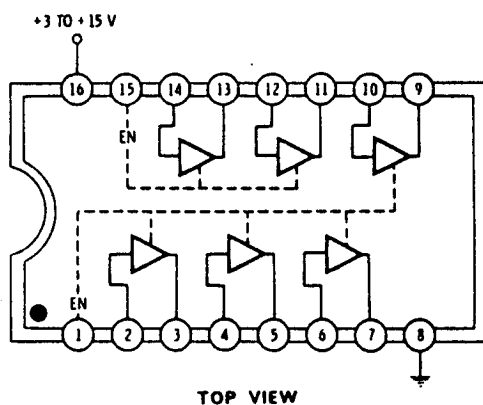
Om Tristate Enable är låg (ben 6) och ben 3 är hög, kommer både N-kanals och P-kanals transistorerna att gå i OFF-läge. Inverteraren är nu isolerad från  $V_{DD}$  och  $V_{SS}$  och därmed kommer utgången att bli helt skild från inverteraringången, ben 10.

Kretsen arbetar således som en ordinär inverterare när TRI STATE Enable är hög (ben 6,  $\bar{3}$ ) och med TRI STATE Enable Låg (ben  $\bar{6}$ , 3) intar inverteraren ett högimpedivt tillstånd.

Kretsar speciellt utvecklade för tristate logik är internt kopplade så som vi nu har åstadkommit med en standard-inverterare 4007. Exempel på en sådan krets visar 4503. Figur 37.

4503

### TRI-STATE HEX BUFFER (Noninverting)

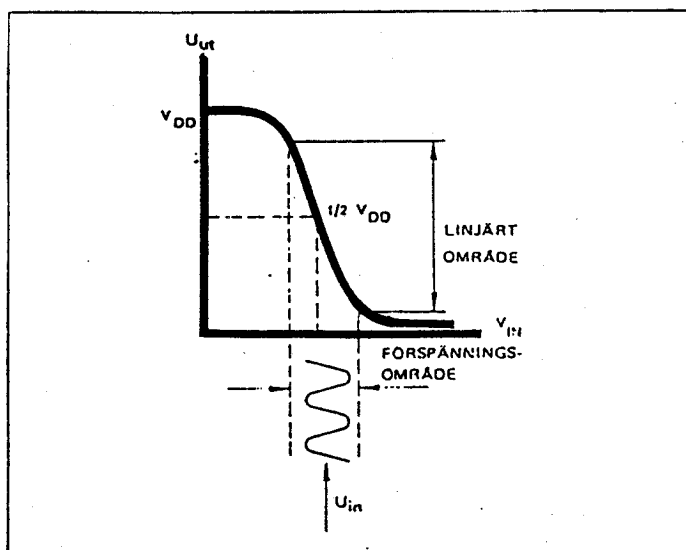


Figur 37.

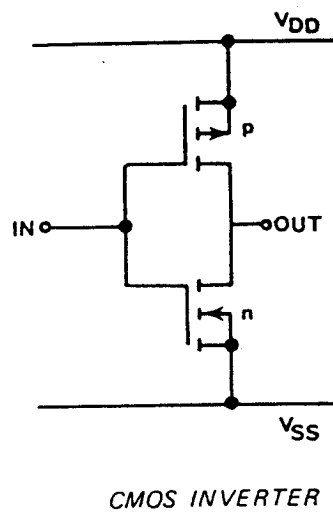


Digital CMOS-grind som analog förstärkare.

Teori: Ref. till figur 39 a, b och c.



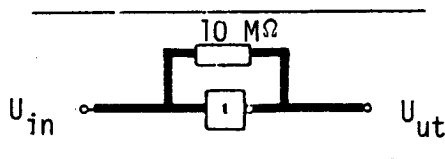
Figur 39 a.



b.

Uppgift 10.

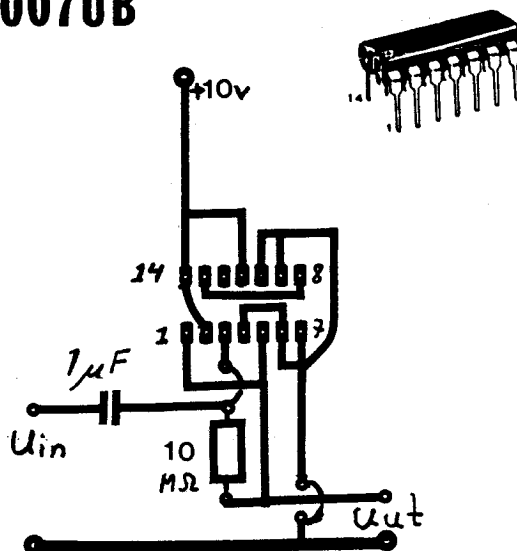
Du skall koppla upp en CMOS-krets av typ 4007 och undersöka kretsens förstärkande förmåga i det aktuella spänningsområdet. Ett vanligt sätt att åstadkomma  $V_{DD}/2$  är att koppla en stor resistans  $> 1\text{ M}\Omega$  mellan utgång och ingång. Se figur 39 c samt figur 40.



c.

Kopplingen för kretsen ser du i figur 40 a. Mät om du har rätt arbetspunkt.  
 Mata in en AC signal, ex 0,1 V 1 kHz.  
 Vad får du för förstärkning? .....

## MC14007UB

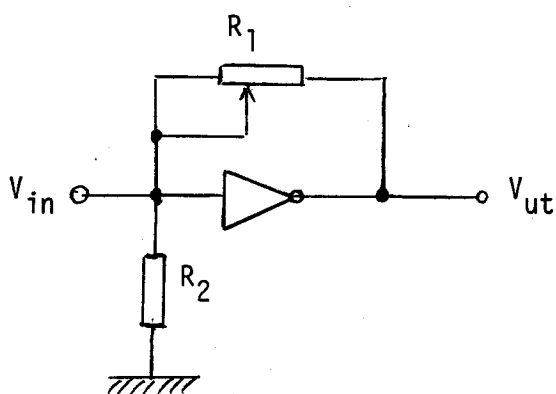


Jämför med figur 40 c.

Figur 40.

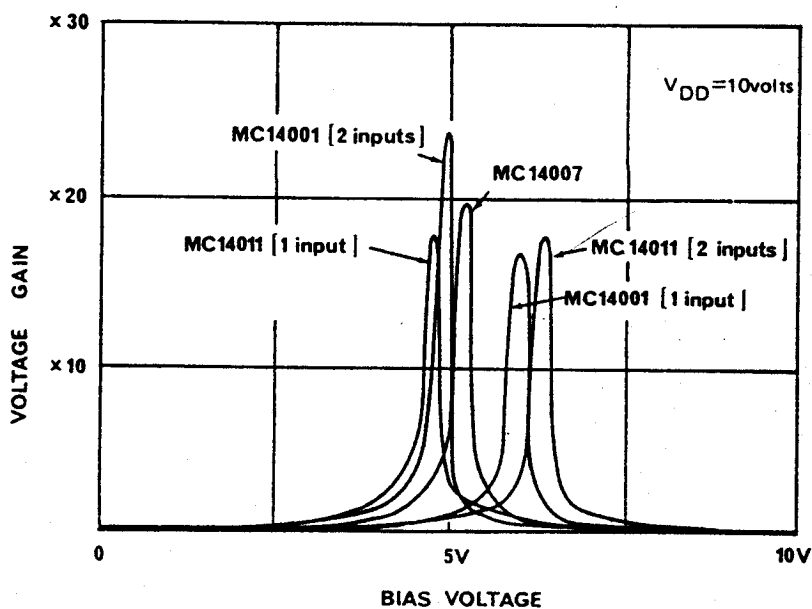
Det kan ibland vara nödvändigt att justera arbetspunkten och signalens amplitud för att få förstärkningen stabil.

Se figur 40 b.



$$V_{in} = V_{ut} \cdot \frac{R_1}{R_1 + R_2}$$

Figur 40 b.



GAIN CHARACTERISTICS OF DIFFERENT TYPES OF GATE

Figur 40 c.