

Mars 1992

LABORATION **ET21A**

DIGITALTEKNIK 2

VIPPOR

INNEHÅLL:

1. Schmitt trigger.
2. Vippor.
Astabila vippor.
Monostabila vippor.
RS-vippan.
MS-vippan.
3. Binärräknaren.
4. Dekadräknaren.

Handledare:

Namn:

Nr: Labplats:

Laborationen utförd den

Laborationen inlämnad den

Godkänd den

av

1. SCHMITT TRIGGER.

2.

Utgå från en OR-grind vars ingångar hålles vid noll volt. Ökar insignalen för en av ingångarna så stiger utsignalen vid en viss insignal (tröskelvärde) mot 5 V. Hade ingången från början haft 5 V in och insignalen minskat så ändras utsignalen vid en viss insignal (tröskelvärde) från 5 till noll volt. I Fig. 1 visas förloppen för en hypotetisk OR-grind. De ändringar i insignal som kan

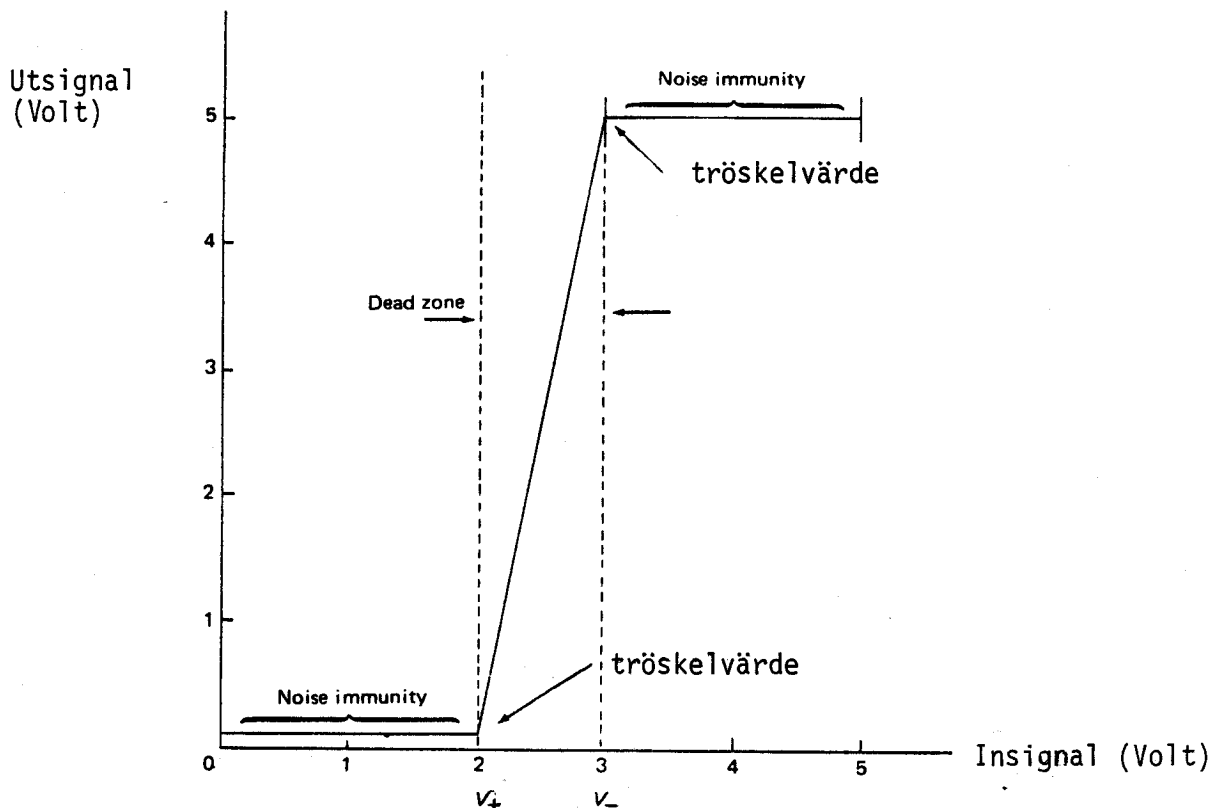


Fig. 1.

tillåtas utan omslag av utsignalen, "noise immunity", rör sig i det hypotetiska fallet om c:a 2 V. I området mellan de två tröskelvärdena (dead zone) är utsignalen varken logisk etta eller logisk nolla. I ett praktiskt fall rör sig detta område några tiondels volt snarare än 1 V som i Fig. 1.

Antag signalen från exempelvis någon givare har endast två nivåer, 1 V och 5 V men är utsatt för störningar. Om nu denna signal är insignal till en OR-grind blir utsignalen 0 V eller 5 V utan störningar (se Fig. 2).

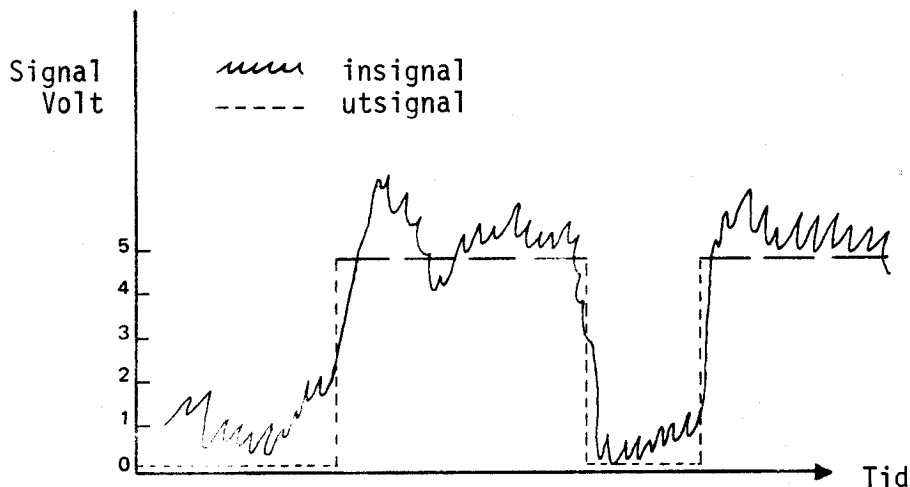


Fig. 2.

Ett problem uppstår emellertid om insignalen på grund av störningar överskrider 2 V

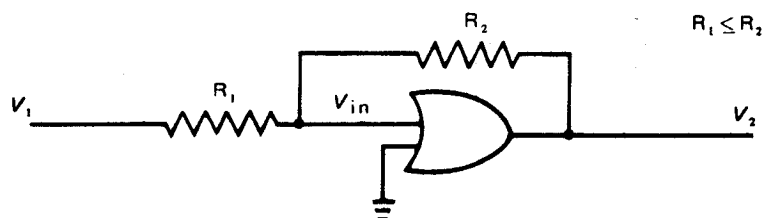


Fig. 3.

I Fig 3. visas en koppling som ändrar tröskelvärdena och minskar "dead zone" så att "noise immunity" blir maximal. Som framgår av figuren återkopplas en del av utsignalen från OR-grinden till ingången. Funktionen är följande:

Låt V_1 och V_2 vara noll i utgångsläget. Ökar nu V_1 så är $V_{in} < V_1$ på grund av spänningsdelningen i R_1 och R_2 . Om nu tröskelspänningen är V_+ (se Fig. 1) för att starta en transition $0 \rightarrow 1$ på utgången så måste V_1 vara större än V_+ för att åstadkomma transitionen vilket betyder att "noise immunity" har ökat.

Om vi nu betraktar ett utgångsläge där både V_1 och V_2 är 5 V och V_1 börjar minska så blir i detta fall $V_{in} > V_1$ beroende på bidraget från V_2 . V_1 måste således vara mindre än V_- (Fig. 1) innan någon transition inträffar och "noise immunity" har återigen ökat.

I en praktisk tillämpning med V_+ och V_- 0,2 ä 0,3 V från varandra kan man åstadkomma att den signal V_1 som krävs för att åstadkomma en $0 \rightarrow 1$ övergång är större än den signal som krävs för en $1 \rightarrow 0$ övergång (Fig. 4). När signalen V_1 stiger

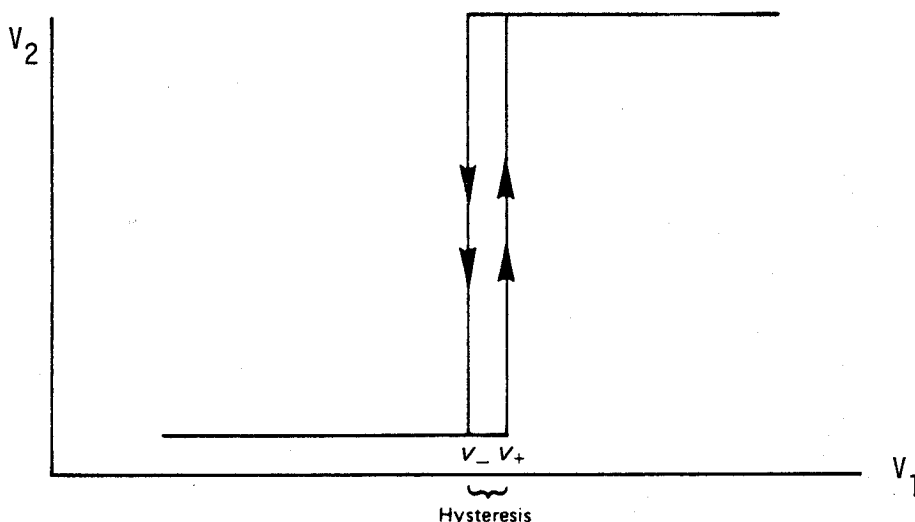


Fig. 4.

över V_+ sker transitionen $0 \rightarrow 1$ för V_2 . Sjunger nu V_1 under V_+ men ligger kvar ovanför V_- så förändras ej V_2 . Först när V_1 faller under V_- sker transitionen $1 \rightarrow 0$. Kretsen med denna funktion kallas en Schmitt-trigger.

För att eliminera brus och störningar i insignalen har Schmitt-triggern således olika tröskelvärden för ökande resp. minskande signal (Fig. 5). Det finns med andra ord en viss hysteres i överföringsfunktionen (backlash). En Schmitt-trigger används för att omvandla långsamma spänningsflanker till distinkta pulser i triggkretsar.

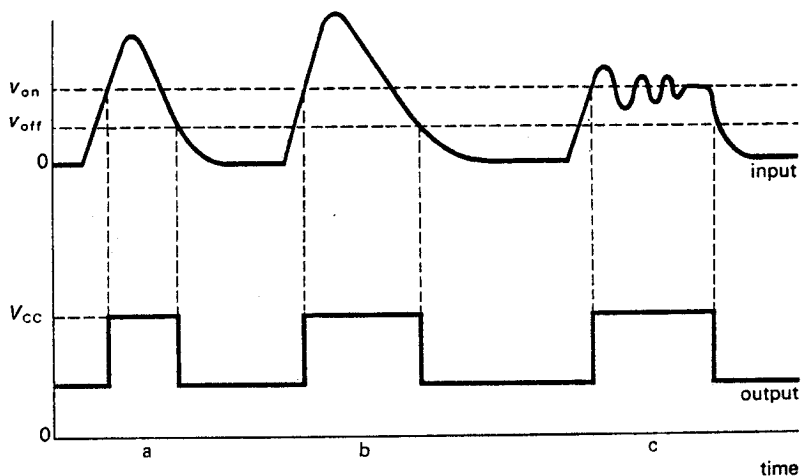


Fig. 5.

UPPGIFT 1.

När snabba logiska grindar drivs direkt av insignaler med långsamma stig- och falltider kan falska utsignaler erhållas (Fig. 6). Oscillationerna i

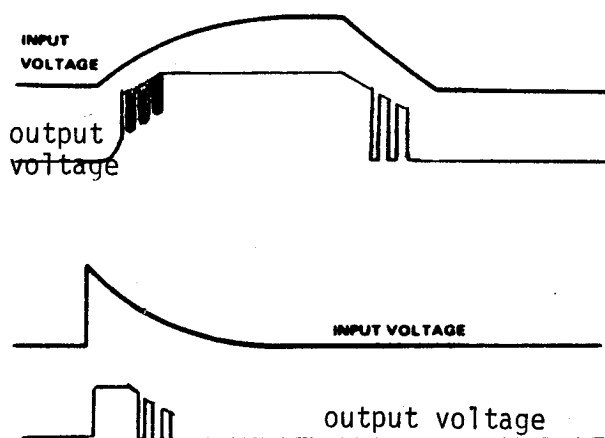
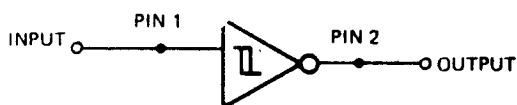
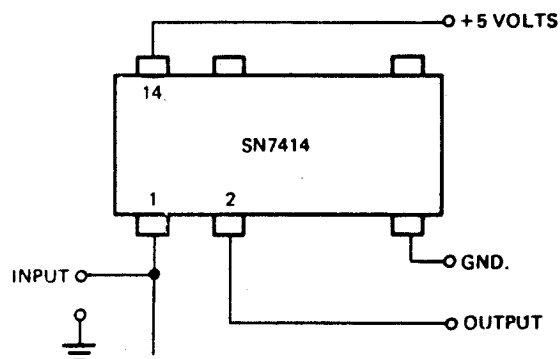
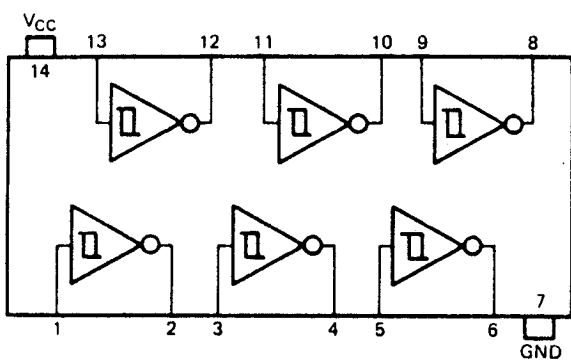
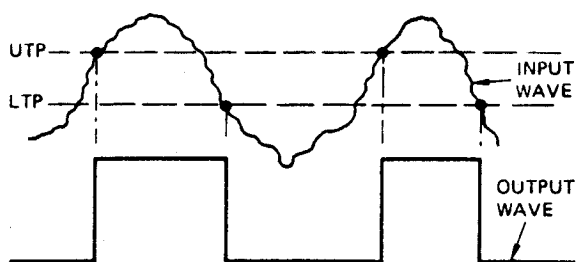


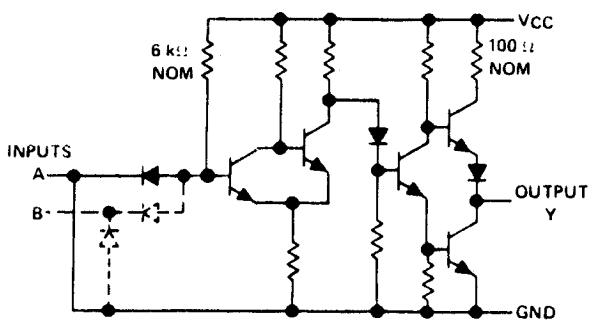
Fig. 6.

utsignal uppstår genom att grinden i detta fall ges möjlighet att uppföra sig som en linjärförstärkare med möjlighet till återkoppling med åtföljande instabilitet. Instabiliteten kan elimineras genom användandet av en Schmitt-trigger. Schmitt-trigger kretsar finnes i form av IC-kretsar, exempelvis SN 7414 (se Fig. 7 A).

Observera symbolen (hysteresslingan) som visar när en grind innehåller Schmitt-trigger-kretsar på ingången. I Fig. 7 C visas den logiska symbolen för en sådan 2-ingångars NAND-krets.

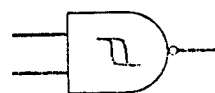


B.



MODEL SN7414 SCHMITT TRIGGER

A.



C.

Fig. 7.

Koppla upp kretsen i Fig. 7 B och bestäm UTP (Upper Triggering Point) och LTP (Lower Triggering Point).

UTP = V

LTP = V

Vippor kan delas upp i tre grupper, astabila, monostabila och bistabila. Som logikkretsar har de alla det gemensamt att deras tillstånd är beroende av dels insignalernas aktuella värde, dels av tidigare insignalvärden. Tillståndet hos astabila och monostabila vippor beror även av tiden som förflutit sedan en ändring av insignalerna inträffade. Sammanfattningsvis:

Den astabila vippan behöver ej någon insignal. Den ger ett pulståg vars frekvens kontrolleras med hjälp av någon RC-krets. Den används ofta som "klocka" i olika digitala kretsar.

Den monostabila vippan ger en puls för varje triggpuls med en längd som bestäms av en RC-krets och ej av insignalen.

Den bistabila vippan har två stabila lägen. Längden på dessa bestäms helt av insignalen. Den används ofta som minne.

2 A. DEN ASTABILA VIPPAN.

a. DEN ASTABILA VIPPAN MED NAND-GRINDEN (7400).

I Fig. 8 visas principen för en ring-oscillator bestående av tre inverterare. Antag $K = 1$. Då blir $L = 0$, $M = 1$ och $K = 0$. Men $K = 0$ strider mot vårt ursprungliga antagande och tillstånden verkar ej möjliga. Icke desto mindre är tillstånden möjliga då de logiska nivåerna uppträder enligt ovan men vid olika tidpunkter. Ettor och nollor cirkulerar runt kretsen med en frekvens bestämd av grindarnas omslagstider samt tiden för laddning och urladdning av kondensatorn C.

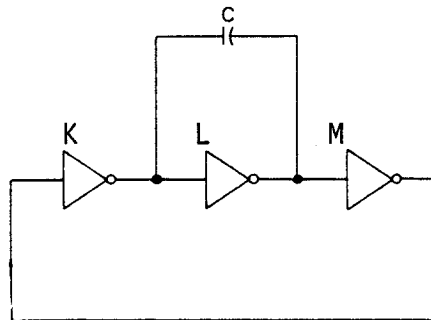


Fig. 8.

UPPGIFT 2.

Koppla upp kretsen i Fig. 9 med 7400. Bestäm C för klockfrekvenserna i tabellen.

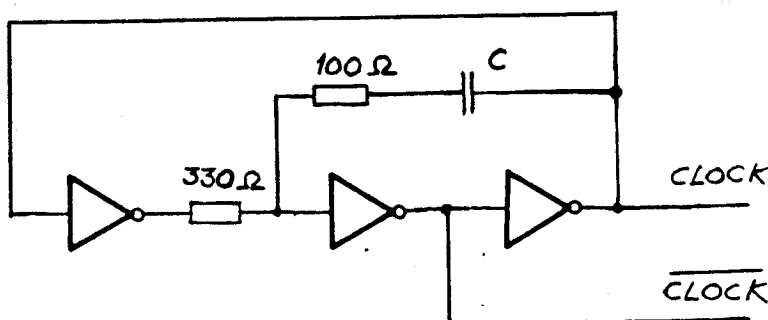


Fig. 9.

f	C
5 MHz	
1 MHz	
100 kHz	
10 kHz	

I detta fall används SN 7413N, som i sin kapsel innehåller två Schmitt-triggrar varav endast den ena skall användas. Koppling enligt Fig.10 där inverteraren är av Schmitt-triggertyp.

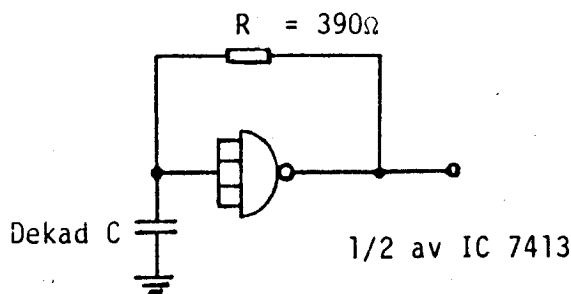


Fig.10.

Funktionssättet är följande:

Antag från början att inverterarens utgång är hög. Detta innebär också att spänningen över kondensatorn är mindre än den tröskelspänning som krävs för att inverterarens utgång skall anta låg nivå. Kondensatorn kommer då att laddas upp, dels från inverterarens ingång, dels från utgången via resistansen R. När spänningen över kondensatorn når tröskelspänningen kommer inverterarens utgång att bli låg och kondensatorn börjar ladda ur sig genom resistansen R. Denna urladdning fortsätter till spänningen når den undre tröskelspänningen, varvid inverterarens utgång blir hög igen och förloppet upprepar sig. Man kan få den frekvens man önskar genom att välja lämpligt kondensatorvärde.

UPPGIFT 3.

Anslut oscilloskopet till vippans utgång och mät pulsfrekvensen för tre olika kondensatorvärden och jämför med databladets diagram (Fig.11).

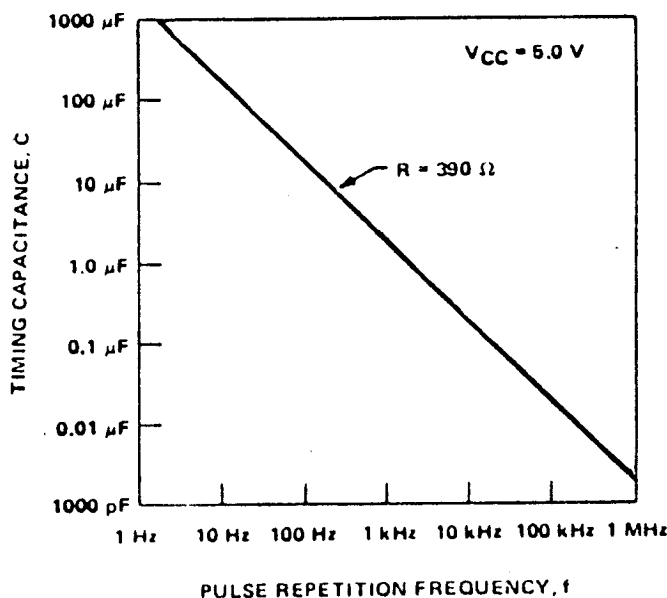


Fig. 11.

$C_1 = 0,1 \mu F$

$f = \dots \dots \dots$ $f = \dots \dots \dots$ (ur diagram)

$C_2 = 0,01 \mu F$

$f = \dots \dots \dots$ $f = \dots \dots \dots$ (ur diagram)

$C_3 = \dots \dots \dots$

$f = 10 \text{ kHz}$ $C_3 = \dots \dots \dots$ (ur diagram)

2 B. DEN MONOSTABILA VIPPAN.

SN 74121N är en monostabil vippa som kan triggas på flera olika sätt. En yttre kondensator och resistans kan användas för att bestämma pulslängden.

- a. Studera databladet för SN 74121N och rita i Fig. 12 hur denna kapsel skall anslutas för att ge en 250 μ s lång puls då insignalen överstiger en viss nivå. Ange lämpligt värde på resistansen ($R = \dots\dots$) och kondensatorn ($C = \dots\dots$). Obs! Standardvärden.

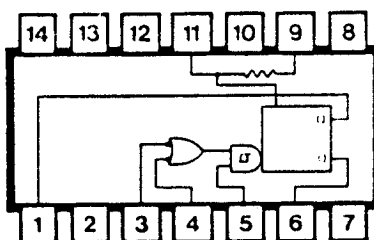


Fig. 12.

- b. Triggalternativ för positiv puls.

Till vilken ingång skall pulsen anslutas vid trigging på den positiva pulsens framkant?

.....

Hur skall de övriga ingångarna anslutas?

.....

Till vilken ingång skall pulsen anslutas vid trigging på den positiva pulsens bakkant?

.....

Hur ansluts i detta fall de övriga ingångarna?

.....

UPPGIFT 4.

Koppla upp kretsen i Fig. 12 med ovan framräknade värden. Mät upp pulslängden ($\dots\dots \mu$ s). Frekvens för triggpuls 1 kHz.

2 C. RS-VIPPAN (DEN ASYNKRONA BISTABILA VIPPAN).

En bistabil vippan fungerar så att utgångarna kan inta två stabila lägen. Om den ena utgången står i 1-läge, intar den andra komplementärläget - 0-läget. För att vippan ska ändra sitt läge - kantra - krävs att vippan ges en insignal som uppfyller vissa krav. Genom sin förmåga att inta två bestämda lägen kan kretsen användas för att lagra information - den har en minnesfunktion. Det är tack vare denna egenskap, som den bistabila vippan fått en så omfattande användning inom digitaltekniken. Den bistabila vippan har för att täcka varierande tillämpningar givits en del olika utföranden.

Den till utförandet enklaste vippan är den sk RS-vippan. Denna har två ingångar, betecknade R respektive S, samt två utgångar Q och \bar{Q} . R och S är förkortningar för de engelska uttrycken RESET - återställa resp SET - sätta. Detta innebär att man genom en puls på S-ingången kan sätta information i vippan och sedan om man så vill återställa vippan genom att ge en puls på R-ingången.

Om S-ingången erhåller en 1-puls och R-ingången har 0, kommer Q-utgången att inta sitt 1-läge. Utgång \bar{Q} kommer samtidigt att inta sitt 0-läge. Skulle nu ytterligare pulser komma på S-ingången, kommer detta inte att påverka vippan - den står kvar i sitt 1-läge och \bar{Q} -utgången bibehåller sitt 0-läge.

Om vi nu istället tillför R-ingången en 1-puls, kommer utgångarna att skifta, dvs Q visar 0 och \bar{Q} -utgången intar sitt 1-läge. Ytterligare pulser på R-ingången påverkar inte de intagna lägena. Skulle vi däremot koppla en 1-puls på S-ingången kantrar vippan igen. Det är tydligt att vi har två stabila lägen.

Man kan likna RS-vippan vid en strömbrytare - den står antingen i läge till eller läge från. Har man en gång ställt omkopplaren i t ex läge till, så kommer inte upprepade tryckningar i till-läget att påverka funktionen. Den förblir i ett stabilt läge.

En RS-vippa kan byggas upp med NAND-grindar.

Betrakta kopplingen nedan

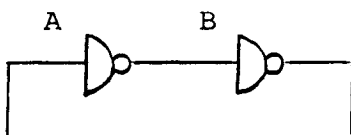


Fig. 13.

Man inser att kretsen har två stabila tillstånd eftersom signalen A inverteras två gånger och sedan återförs till A. Av de två möjliga tillstånden kännetecknas det ena av att A är hög och B är låg och det andra av att A är låg och B är hög.

Om ovanstående koppling skall användas som minneselement måste man kunna sätta kretsen i det tillstånd man önskar. Av detta skäl måste man införa två styrinångar och får då schemat

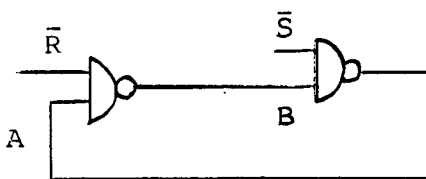


Fig. 14.

I denna koppling skall normalt gälla att $\bar{R} = \bar{S} = 1$ och vi får då samma funktion som hos den övre kretsen. Då vi vill sätta vippan i något av de två tillstånden låter vi en av ingångarna \bar{S} och \bar{R} anta värdet 0 och därefter återgå till värdet 1.

Den krets som beskrivits ovan kallas RS-vippa och ritas normalt:

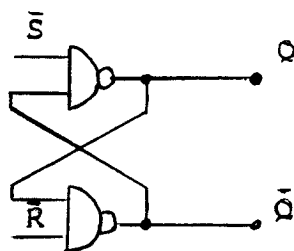


Fig. 15.

Man inför ibland inverterare på \bar{S} och \bar{R} -ingångarna och får då följande RS-vippa jämte symbol:

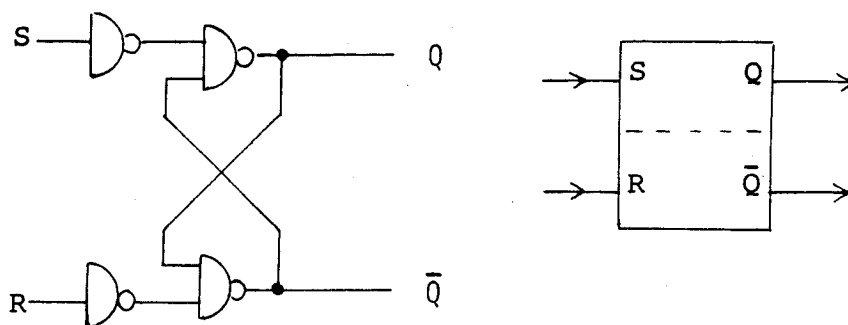


Fig. 16.

Vid normal funktion är utgångarna alltid komplementära, varför de betecknas med Q och \bar{Q} . Antag först att båda ingångarna befinner sig i sina passiva tillstånd: $S = 0$, $R = 0$. Vi ser då att vippans tillstånd (antingen $Q = 0$, $\bar{Q} = 1$ eller $Q = 1$, $\bar{Q} = 0$) är stabilt.

Antag sedan att S -ingången aktiveras, så att $S = 1$, $R = 0$. Oberoende av utgångarnas tidigare värden blir nu $Q = 1$ och $\bar{Q} = 0$. Vi har 1-ställt vippan genom att aktivera S -ingången.

Låt sedan S -ingången åter anta sitt passiva läge så att $S = 0$, $R = 0$. Vippans utgångar kommer då fortfarande att vara $Q = 1$, $\bar{Q} = 0$. Vippan minns alltså S -ingångens aktivering.

Om istället R -ingången aktiveras så att $S = 0$, $R = 1$, kommer utgångarna att bli: $Q = 0$, $\bar{Q} = 1$. Vi har alltså 0-ställt vippan genom att aktivera R -ingången.

När R återgår till sitt passiva tillstånd så att $S = 0$, $R = 0$, kommer vippan fortfarande att vara 0-ställd och alltså minnas aktiveringen av R -ingången.

Om båda invariablerna befinner sig i sitt passiva tillstånd, talar alltså vippans läge om, vilken av invariablerna som senast var aktiv.

Vad händer om båda ingångarna aktiveras samtidigt, dvs $S = 1$, $R = 1$? Då blir $Q = 1$ och $\bar{Q} = 1$, dvs utsignalerna är ej längre komplementära. Vid samtidig återgång från $S = 1$, $R = 1$ till $S = 0$, $R = 0$ hamnar kretsen i ett kritiskt kapplöpningstillstånd, och slumpen kommer att avgöra vilket läge vippan slutligen antar. För RS-vippor är därför tillståndet $S = 1$, $R = 1$ i allmänhet förbjudet.

RS-vippans funktion framgår av nedanstående Tabell I.

Tabell I.

S	R	Q	\bar{Q}
1	0	1	0
↓			
0	0	1	0
	↓		
0	1	0	1
	↓		
0	0	0	1
↓			
1	0	1	0
	↓		
1	1	Förbjudet tillstånd	

Den asynkrona bistabila vippan, asynkron därför att tillståndsändringarna sker genom direkt påverkan av S- och R-ingångarna och utan kontroll av klocksignal, brukar ibland kallas latch (låskrets).

UPPGIFT 5.

- Koppla upp RS-vippan i datorsimuleringsprogrammet. Dels av lösa komponenter enligt figur 16 och dels med hjälp av den färdiga RS-vippan som finns i simuleringsprogrammets palett. Kontrollera funktionen av båda vipporna. Observera att utgångarna på den färdiga RS-vippan har kastats om jämfört med 'vår' definition.
- Kryssa för rätt svarsalternativ i nedanstående fråga. Använd gärna simuleringsprogrammets simuleringsmöjlighet (med den färdiga RS-vippan). Tänk då på att utgången slår inte om förrän på nästa klockpuls, se figur 17 b, samt att utgångarna är omkastade.

Om logiskt 1 representeras av puls och logiskt 0 av icke puls, vilket pulsdigram motsvarar då RS-vippans funktion? (Figur 17.)

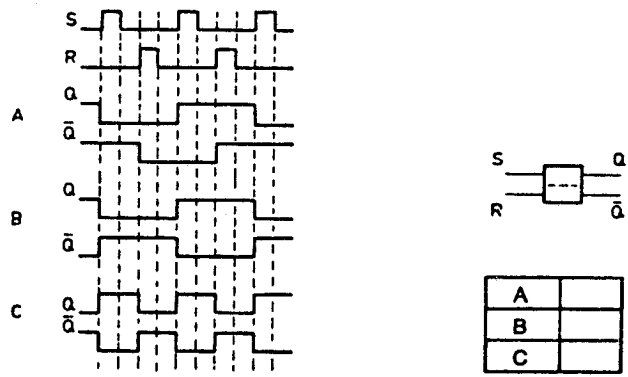


Fig. 17.

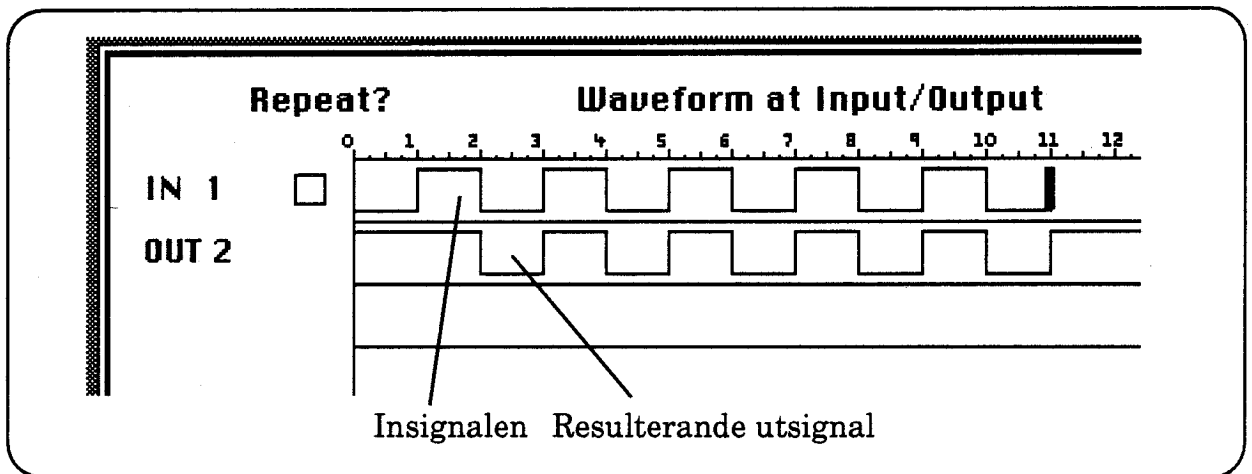


Fig. 17 b.

2 D. STUDSFRI OMKOPPLARE MED RS-VIPPA (LATCH).

Om man önskar göra en övergång mellan ett relä och en TTL-krets måste särskild hänsyn tagas till kontaktstudsarna i reläets kontakter. TTL-kretsarna är nämligen tillräckligt snabba för att uppfatta kontaktstuds som ett pulståg. Om man vill räkna antalet tillslag hos ett relä med hjälp av TTL-logik skulle således resultatet bli helt felaktigt om inte kontaktstudsarna eliminerades.

Kopplingen i Fig. 18. ger en metod att helt eliminera påverkan genom kontaktstuds.

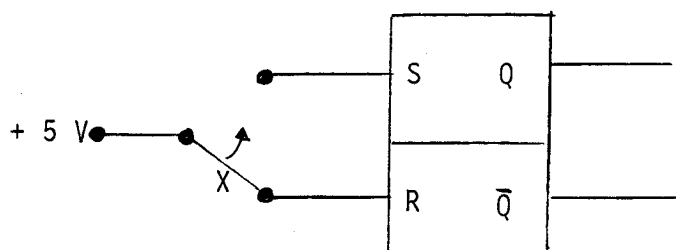


Fig.18.

När kontakten X förs till S-läget blir utgången Q en logisk "etta" som ej ändras även om switchen skulle studsas. Q-utgången används som switch-utgång.

Klockad RS-vippa.

I praktiken har det visat sig att det ofta är mera praktiskt att ge 1- och 0-signalerna under en tid när själva vippan är blockerad för att sedan låta en särskild omslagspuls, en sk klockpuls, från en annan signalkälla verkställa själva omslaget. (Fig. 19).

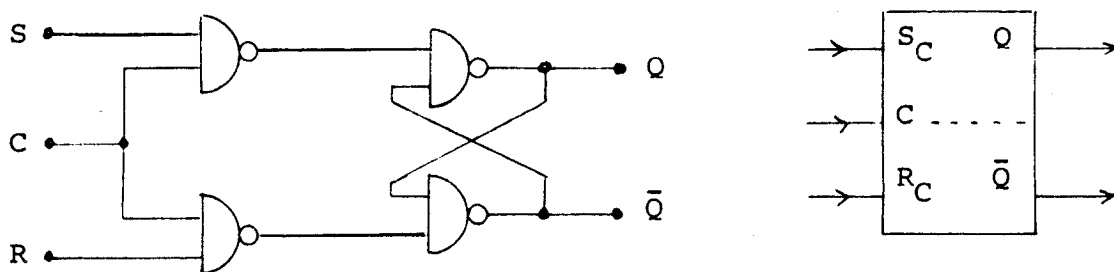


Fig. 19.

S- och R-ingångarna fungerar som förberedande ingångar, som är underställda den verkställande ingången C. I grundtillståndet är $C = 0$ och S- och R-ingångarna kan ej påverka vippans tillstånd. Först när $C = 1$, varvid vippan fungerar precis som en vanlig RS-vippa, verkställs de förberedande ingångarnas tillstånd. Avsikten med denna teknik är att kunna synkronisera omslagen i ett system innehållande flera vippor.

UPPGIFT 6.

Koppla upp vippan och testa dess funktion, använd datorsimuleringsprogrammet och dess funktion 'show values'.

Tabell II.

Utgångsläge		Ingång		Efter klockpuls	
Q	\bar{Q}	S	R	Q	\bar{Q}
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	1	0
0	1	1	1	Förbj. tillstånd	
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	Förbj. tillstånd	

2 E. JK-VIPPA.

Den mest använda medlemmen i "vippfamiljen" är JK-vippan. En av dess goda egenskaper är att den inte har några instabila tillstånd. Både den enkla och den klockade RS-vippan har ju nackdelen att ge en obestämd signal om både R- och S-ingångarna har en etta när klockpulsen kommer.

JK-vippan har två ingångar och två utgångar samt en klockingång (Fig.20.).

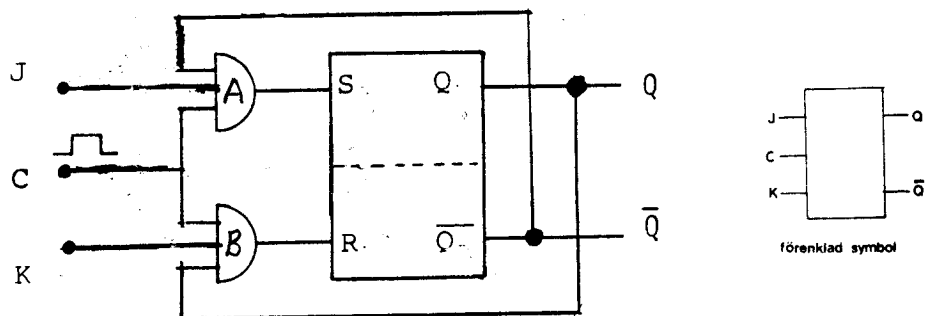


Fig. 20. JK-vippa.

Vi ser att då $J = K = 0$ kommer vippan ej att påverkas av inkommande pulser, utan vippan förblir i sitt föregående tillstånd. Man ser också att då $J = K = 1$ slår vippan om för varje klockpuls.

Vi antar nu att vippan befinner sig i noll-läge dvs $\bar{Q}=1$. Då kombinationen $JK=10$ träder och då en puls kommer, är samtliga insignaler till grind A logiska ettor. Vippan kommer då att erhålla en triggpuls på ettingången och vippan slår om till ettillstånd. Om ingångskombinationen är $JK = 01$, kommer båda AND-grindarna att

på sina ingångar ha två logiska ettor och en nolla. Vippan kommer därför ej att erhålla någon triggpuls, utan förblir i nolltillstånd.

Genom att på liknande sätt undersöka vad som händer, om vippan från början befinner sig i ett-tillstånd upptäcker man att om $JK = 10$ förblir vippan i ett-läge och om $JK = 01$ slår vippan om till nolläge.

Fördelarna med denna vippan kan sammanfattas så här:

En klockpuls kommer inte att påverka vippan, om inte någon av J eller K har 1.

Om både J och K har 1, kommer vippan att skifta för varje klockpuls.

JK-vippans sanningstabell och pulståg visas i Fig. 21. Index n anger tillståndet före klockpulsen och n+1 efter.

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	\bar{Q}_n

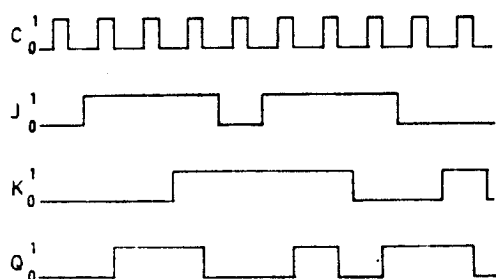


Fig. 21.

2 F. JK-VIPPA AV MASTER-SLAVE TYP.

Ett speciellt utförande av JK-vippan är den sk JK Master Slave-vippan eller MS-vippan som den ofta kallas. Den består av två RS-vippor kopplade efter varandra, där den ena vippan helt styr den andra. Man kallar därför den första vippan för Master (mästaren) och den andra för Slave (slaven). Vippan har tre ingångar, två preparatoriska och en verkställande. De förberedande ingångarna betecknas med J och K och vippan kallas därför för JK-master-slave-vippan. Klockpulsingången betecknas med G. G-ingången är kopplad till master-vippan och via inverterare till slave-vippan. Utgångarna Q och \bar{Q} är dessutom korskopplade till ingångarna (Fig. 22).

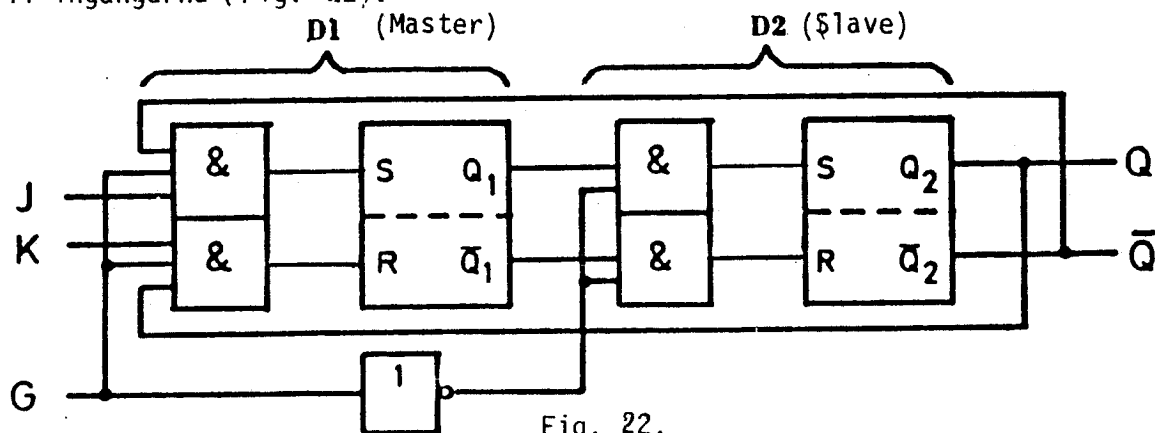


Fig. 22.

På pulsens framkant, dvs då G-ingången går från noll- till ettnivå, kommer master-vippan att påverkas och masters utgångar antar det värde som bestäms av den aktuella kombinationen av J och K. Slavevippans utgångar påverkas ej under denna inläsningsfas på grund av att G-signalen inverteras före slavevippans AND-grindar. Slavevippans bägge ingångar nollställs alltså då G går till 1. Vid pulsens bakkant dvs då G går från 1 till 0 blockeras mastervippan medan däremot slavevippans AND-grindar öppnas. Innehållet i mastervippan kopieras därvid över till slavevippan, ty om mastervippan ettställdes under inläsningsfasen kommer slavevippans ett-ingång att ettställas och följaktligen får slavevippans ettutgång ettnivå. Om däremot mastern nollställdes under inläsningsfasen kommer slavevippans nollingång att påverkas och ettutgången får nollpotential.

Då en puls kommer antar Q-utgången på en vippa i MS-utförande sitt föreskrivna värde först vid pulsens bakkant.

Med bakkant menar vi då en omställning från logisk ettnivå till logisk nollnivå.

Sammanfattning:

JK-master-slave-vippan triggas med en positiv klockpuls.

Utgångarna på vippan slår om på bakkanten av klockpulsen.

JK-ingångarna är förberedande ingångar, vilka icke påverkar utgångarna förrän en klockpuls kommer in.

G-ingången är verkställande ingång för klockpulsen.

Vi sammanfattar de olika tillstånden.

$J = K = 0$: klockpulsen påverkar ej utgången.

$J = 0$ och $K = 1$: klockpulsen ger $Q = 0$ och $\bar{Q} = 1$.

$J = 1$ och $K = 0$: klockpulsen ger $Q = 1$ och $\bar{Q} = 0$.

$J = K = 1$: Utgångarna slår om för varje klockpuls.

Fördelen med master-slave-vippor är bl a den att vippans utgångar påverkas först när pulsen dött ut. Detta är en mycket väsentlig egenskap om vippans utgångar påverkar andra vippors ingångar, för det fall att samtliga ingående vippor styrs med samma puls. Om vippans utgångar skulle slå om innan pulsen dött ut, kan detta påverka efterföljande vippors ingångar med felfunktion som följd. MS-vippor förhindrar alltså sådant skeende.

Med vippor i MS-utförande bortfaller alltså kravet att vippornas triggpulser skall vara kortvariga. Ett nät där samtliga ingående vippor triggas av samma puls, säges vara synkront arbetande.

UPPGIFT 7.

- Koppla upp en JK-vippa i simuleringsprogrammet. Kontrollera funktionen och jämför resultatet med figur 21.
- Sätt $J=K=1$. Mata klockingången med pulser och studera utgångarna.

3. BINÄRRÄKNAREN.

Binärräknaren är den vanligaste typen av räknare. Den används t ex för att räkna pulser eller för att dela ned en frekvens till ett lägre värde. Det finns två typer av binärräknare, asynkrona och synkrona räknare. Den asynkrona räknaren är den enklast uppbyggda och består endast av ett antal seriekopplade JK-vippor (Fig. 23). JK-vipporna har ingångskombinationen $J = 1, K = 1$.

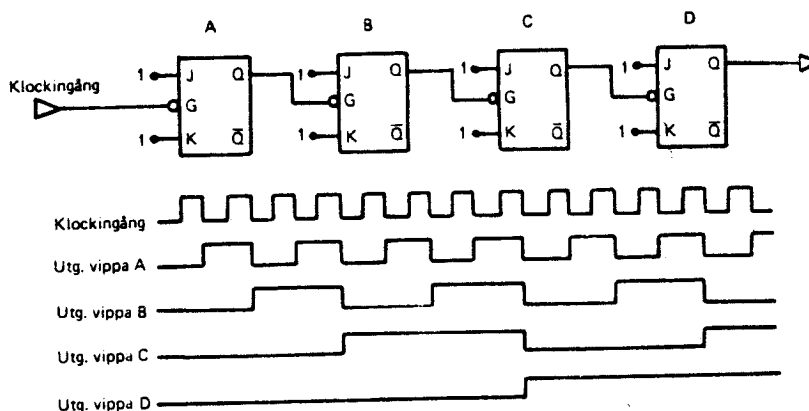


Fig. 23.

Klockpulsingången på en vippa slår om för varje puls, nästa för varannan osv. Om vippan kantrar först när den inkommande pulsen på klockingången går från ett till noll (MS-vippa) blir signalerna som i Fig. 1. Räknaren arbetar på följande sätt (samtliga vippor antages vara nollställda, dvs ha $Q = 0$, i utgångsläget):

Bakkanten på första pulsen ger $Q_A = 1$. Kan visas med lysdiod. Räknaren indikerar 0001 dvs $0 \cdot 2^3 + 0 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 1_{10}$.

Den andra pulsens bakkant nollställer Q_A . Men nollställningen av Q_A innebär att den andra vippans klockingång känner en spänningsändring från ett till noll. Den andra vippan ett-ställs och räknaren indikerar $0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 2_{10}$.

Räknaren fortsätter att räkna och indikerar de inkommande pulserna tills 15 pulser registrerats. Vid den 16:de pulsen börjar räknaren om på nytt. Generellt gäller att om n st vippor används i en räknarkrets av denna typ räknar den till $2^n - 1$ klockpulser. En binär siffra kallas ofta BIT efter förkortningen Binary digIT, dvs binär siffra.

UPPGIFT 8.

4-bitars binärräknare, upp-räknare.

Koppla datorsimuleringsprogrammet upp JK-vipporna enligt figur 23 samt anslut en lampa till varje Q-utgång.

Tänd lampa betyder Q =

Vilket är det största talet denna 4-bitars räknare kan innehålla?

Fyll i nedanstående tabell.

Klock-puls nr	Q_1	Q_2	Q_3	Q_4
1				
2				
3				
4				
5				
6				
7				
8				
9				
10				
11				
12				
13				
14				
15				
16				
17				

Som Du observerar återgår räknaren till $Q = 0$ för samtliga vippor på den 16:e pulsen. Denna egenskap kan användas för frekvensdelning.

UPPGIFT 9.

4-bitars binärräknare, ner-räknare.

Koppla i datorsimuleringsprogrammet upp ytterligare fyra JK-vippor och fyra lampor. Anslut denna gång de inverterade utgångarna till klockingången på nästa vippa. $J=K=1$ som vanligt. Lamporna till Q-utgången. Anslut samma puls-givare som i uppgift 8 även till denna koppling. Triggas nu båda kopplingarna och studera skillnaderna. Hur fungerar den nya kopplingen?

.....

.....

Synkrona räknare.

En nackdel med den asynkrona räknaren (ripple counters) är att vid vissa tidpunkter skall flera vippor samtidigt ändra läge, t ex efter 8 pulser (en lägesändring "ripplar" genom hela räknaren). Den första vipporna gör detta snabbt men för de senare uppstår fördröjningar beroende på att flera tidigare vippor skall hinna slå om innan styrningen kommer fram. Under denna tid hinner vid höga räkneintensiteter kanske ytterligare pulser räknas av ingångsvippan. Vippornas läge ger därför inte helt tillförlitlig information om antalet pulser. Extra styrning av vipporna kan emellertid införas så att de hjälps att slå om samtidigt. Räknare uppbyggda på detta sätt kallas synkronräknare. Klockpulser går då in på alla vippor samtidigt, dvs dessa styrs parallellt (Fig. 24). Villkoret för omslag bestäms av det logiska värdet på J och K. Synkrona räknare kostar något mer eftersom det fordras fler grindfunktioner.

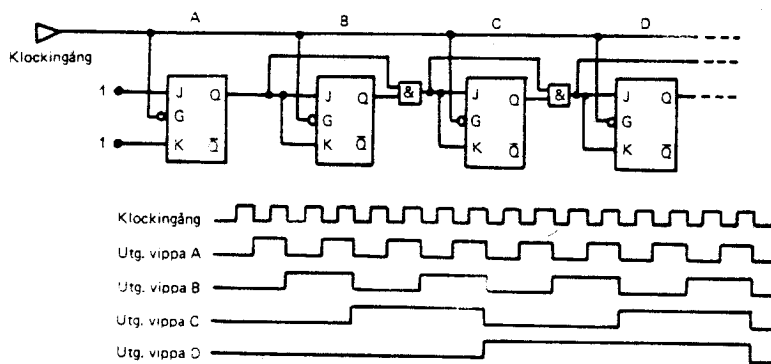


Fig. 24.

4. DEKADRÄKNAREN. (BCD-räknare).

Ofta har man behov av en räknecykel som inte är en potens av 2. Räknare med basen 10 är intressanta. Fyra vippor kan användas precis som i den ripplande binärräknaren. Kretsen måste emellertid kompletteras exempelvis enligt Fig. 25. Räknarens funktion har ändrats så att nollställning sker efter 10 klockpulser istället för efter 16.

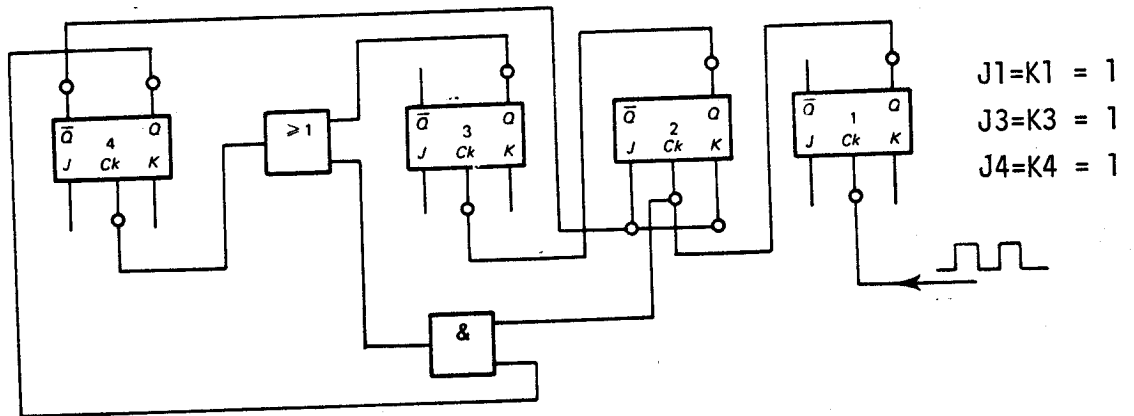


Fig. 25.

Funktionssättet är följande.

Mellan puls 1 och 8 arbetar vippan som tidigare behandlats.

Vid den 9:e pulsens bakkant så ger vipporna $Q_1 = 1$ och $Q_4 = 1$. OCH-kretsen får då ett på båda ingångarna och därmed ett på utgången. En etta på ELLER-kretsens ingång ger en etta på utgången, varför fjärde vippan har en etta på ingången. Detta stör inte utgångarna eftersom vippan inte kantrar förrän ingången går från ett till noll. Men vippa 4 är förberedd för nollställning.

Bakkanten på den 10:e pulsen nollställer räknaren på följande sätt. Vippa 2 har fått 0 på JK-ingångarna av \bar{Q}_4 ty $\bar{Q}_4 = 0$ när vippa 4 får $Q_4 = 1$ vid 8:e pulsen. När 10:e pulsen nollställer Q_1 så får vippa 2 noll på samtliga ingångar och utsignalen måste bli noll, $Q_2 = 0$. Eftersom $Q_3 = 0$, är ena ingången på ELLER-kretsen låst till noll. Nollställning av Q_1 ger också en nolla till OCH-grunden. Men en nolla på ena ingången och en etta på den andra innebär att OCH-kretsen lämnar en nolla. ELLER-kretsens andra ingång får också en nolla varför utgången nollställes och vippa 4 kantrar dvs $Q_4 = 0$ och $\bar{Q}_4 = 1$. Låsningen av vippa 2 upphör då $Q_4 = 1$ ty JK-ingångarna, som är parallellkopplade, får $J=K = 1$. Den 10:e pulsen nollställer således räknaren och gör den klar att börja om igen.

UPPGIFT 10.

Koppla upp räknaren i figur 25 och mata in klockpulser i simuleringsdelen av datorprogrammet. Kontrollera frekvensen vid utgång Q_4 .

Ut-frekvensen är av in-frekvensen.

UPPGIFT 11. Mätning på dekadräknaren SN 7490.

7490 är en mycket vanlig asynkron BCD-räknare för frekvenser upp till 32 MHz. och pulslängder större än 2 ns. Sanningstabell och koppling visas i Fig. 26. För att 7490 skall fungera som BCD-räknare krävs att någon av $R_{0(1)}$ och $R_{0(2)}$

COUNT SEQUENCE

COUNT	OUTPUTS			
	A	B	C	D
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1

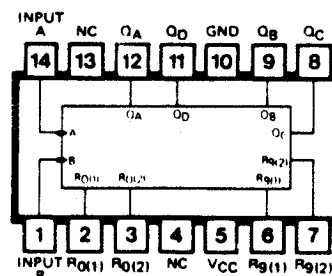


Fig. 26.

samt någon av $R_{9(0)}$ och $R_{9(1)}$ är nollställda. Dessutom måste utgång Q_A anslutas till Input B (varför?).

Koppla utgångarna Q_A , Q_B , Q_C och Q_D till lysdioder på vanligt sätt (Fig. 27).

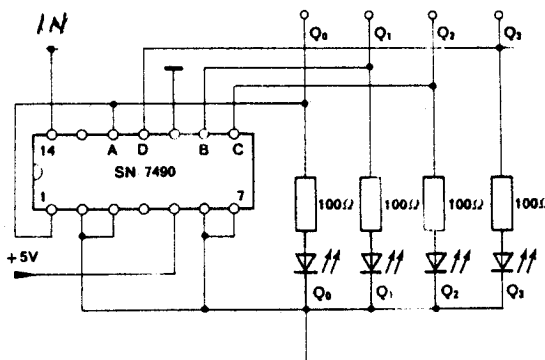


Fig. 27.

Fyll i nedanstående tabell.

Triggpuls	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2				
3				
4				
5				
6				
7				
8				
9				
10				

Räknekapaciteten kan utökas genom seriekoppling av fler enheter. Tre enheter ger en räkare med kapaciteten 10^3 . Som förut nämnts arbetar enheterna i BCD-kod varför den t ex efter 938 räknepulser står i läget.

1 0 0 1	0 0 1 1	1 0 0 0
8 4 2 1	8 4 2 1	8 4 2 1
3:e dek.	2:a dek.	1:a dek.